

*IMPLANTATION A BASE D'OPERATEURS CORDIC D'UN ALGORITHME
DE MOINDRES CARRES RAPIDES PAR DECOMPOSITION QR*

C. Viroulaud¹, M. Terré¹

¹ Thomson CSF / CNI, 160 Boulevard de Valmy, Parc d'activité Kléber, 92704 Colombes Cedex, France.

REZUME

ABSTRACT

Cet article présente un circuit intégré de filtrage adaptatif. L'algorithme implanté directement sur Silicium est un QR rapide dit "systolique". Il est presque entièrement réalisé au moyen d'opérateurs CORDIC. Le détail de l'architecture retenue ainsi que les caractéristiques techniques du circuit sont présentés.

This paper presents a direct VLSI implementation of an adaptive filter. Parameters of the algorithm are adapted with a fast QRD-based algorithm. A CORDIC-based architecture is presented and technical characteristics of the chip are exposed.

1. Introduction

Cet article présente un circuit intégré de filtrage adaptatif. L'implantation matérielle d'un algorithme adaptatif sur un circuit intégré spécifique (ASIC¹) est plus difficile à réaliser qu'une implantation logicielle sur un processeur de calcul. Elle est aussi plus rigide, mais elle permet d'atteindre des vitesses de traitement supérieures à ce que peuvent offrir les plus performants des processeurs de signaux². Ainsi, un circuit ASIC dédié au filtrage adaptatif, capable d'effectuer de la prédiction linéaire ou de la modélisation, verra ses performances décuplées par rapport à une réalisation sous forme de circuits standards.

Le circuit RASTAQR, qui est présenté dans cet article représente un résultat du programme TIEGEC³ et a permis la validation de la bibliothèque proposée lors de ce programme. Cette dernière comprenait des macro-cellules, des cellules de chemin de données, des cellules standards et des pads d'entrée/sortie.

Le paragraphe 2 rappelle les équations de l'algorithme, puis les résultats des études d'architectures concernant son implantation sur Silicium sont présentés dans le paragraphe 3. Les caractéristiques techniques du circuit sont exposées au cours du paragraphe 4. Enfin différentes figures et photos du circuit sont présentées à la fin de l'article.

2. Algorithme QR rapide systolique

L'algorithme qui a été retenu pour être implanté est un algorithme récursif rapide de moindres carrés issu d'une approche par décomposition QR[1]. Cet algorithme présente de nombreuses qualités qui rendent son implantation extrêmement efficace. Il est en particulier reconnu pour posséder une très bonne résistance aux erreurs de calcul [2]. Il est aussi entièrement normalisé ce qui permet d'utiliser une arithmétique à virgule fixe qui économise toute la logique de recadrage des données rencontrée avec une arithmétique à virgule flottante.

Le circuit est appelé à fonctionner comme un co-processeur arithmétique pour un processeur de signal. Il est capable de réaliser un filtre adaptatif d'ordre 8 alimenté par un signal d'entrée à 128 kHz. Pour chaque nouvelle donnée d'entrée, le filtre fournit en sortie l'erreur de filtrage, les énergies de prédiction avant pour chaque ordre et 8 valeurs d'angles α_i de rotations.

¹ Application Specific Integrated Circuit

² Les processeurs de signaux sous entendus étant de type Texas Instrument TMS320C30-40-50-80 ou de type MOTOROLA 56001-96001.

³ TIEGEC : Trilateral International Exchange Group on Electronic Components



3. Implémentation de l'algorithme

L'algorithme, dont les équations sont présentées table I, repose sur les opérations suivantes :

- rotations (sinus, cosinus),
- arctangentes,
- racines carrées,
- multiplications et divisions.

Toutes ces opérations relativement complexes peuvent s'implanter sur un même opérateur de calcul : le CORDIC basé sur l'algorithme du même nom (COordinate Rotation DIgital Computer) [3][4][5]. Cet opérateur "élémentaire" étant utilisé un grand nombre de fois dans le circuit considéré, sa structure et ses performances méritent une étude approfondie.

3.1 Architecture de l'opérateur CORDIC

L'algorithme CORDIC réalise le calcul de fonctions arithmétiques, trigonométriques et hyperboliques en faisant appel à des opérations élémentaires telles que l'addition, la soustraction, le décalage par une puissance de deux ou enfin le rappel de constantes prémémorisées.

Les trois principales architectures CORDIC sont les suivantes :

- architecture à opérations séries, qui ne permet qu'un calcul séquentiel des équations,
- architecture à opérations parallèles et itérations séries, qui permet le calcul simultanément des trois équations de l'algorithme CORDIC, mais pour laquelle les itérations se font séquentiellement.
- architecture à opérations parallèles et itérations parallèles, qui permet de traiter un flot de données avec un débit correspondant au calcul d'une seule itération.

Les performances de chacune des trois architectures décrites précédemment ont été analysées en terme de complexité, de temps de calcul et de fréquence de fonctionnement sur la technologie cible TSBC4 à 0.8µm avec deux couches de métallisation.

Après simulations, c'est l'architecture à base d'opérations parallèles et d'itérations séries, sans pipeline, avec une compensation réalisée par une modification des tables des CORDIC [5] (différence de puissances de deux), qui a été retenue.

3.2 Architecture de l'algorithme QR rapide systolique

Différents choix sont possibles au niveau de l'architecture de cet opérateur. En effet, il existe plusieurs "degrés de liberté" tels que :

- l'architecture de l'opérateur CORDIC,
- pour un ordre de l'algorithme donné, les calculs peuvent se faire soit en série sur les opérateurs CORDICs, soit en parallèle sur un nombre moins important de CORDICs avec possibilité de pipelining.
- le calcul de N ordres de l'algorithme peut s'effectuer, soit sur une série de CORDICs formant un ordre de l'algorithme bouclé N fois, soit sur N opérateurs d'un ordre de l'algorithme.

Initialisation pour $n = -1$

$$E_{b0}(-1) = 0.001$$

pour $i = 1$ à N

$$\cos \theta_i(-1) = 1, \sin \theta_i(-1) = 0$$

$$\cos \alpha_i(-1) = 1, \sin \alpha_i(-1) = 0$$

$$x_{qi}(-1) = 0, y_{qi}(-1) = 0, g_{i+1}(-1) = 0$$

Algorithme pour $n \geq 0$

$$\sqrt{E_{a0}}(n) = 1$$

$$\gamma_0(n) = 1$$

$$\sqrt{E_{b0}}(n) = \sqrt{\left(\sqrt{\lambda} \sqrt{E_{b0}}(n-1)\right)^2 + x(n)^2}$$

$$\psi(n) = \arctg \left(\frac{x(n)}{\sqrt{\lambda} \sqrt{E_{b0}}(n-1)} \right)$$

$$e_{aq_0}(n) = \sin \psi(n), g_1(n) = \sin \psi(n), e_{q_0}(n) = y(n)$$

pour $i = 0$ à $N-1$

$$e_{aq(i+1)}(n) = \cos \theta_{i+1}(n-1) e_{aq_i}(n)$$

$$- \sin \theta_{i+1}(n-1) \cos \psi(n) x_{q(i+1)}(n-1)$$

$$x_{q(i+1)}(n) = \sin \theta_{i+1}(n-1) e_{aq_i}(n)$$

$$+ \cos \theta_{i+1}(n-1) \cos \psi(n) x_{q(i+1)}(n-1)$$

$$\sqrt{E_{a(i+1)}}(n) = \sqrt{\left(\sqrt{E_{a_i}}(n)\right)^2 - x_{q(i+1)}(n)^2}$$

$$\alpha_{i+1}(n) = \arctg \left(\frac{x_{q(i+1)}(n)}{\sqrt{E_{a(i+1)}}(n)} \right)$$

$$g_{i+2}(n) = \cos \alpha_{i+1}(n) g_{i+1}(n-1)$$

$$- \sin \alpha_{i+1}(n) \gamma_{i+1}(n-1) \frac{e_{aq(i+1)}(n)}{\sqrt{E_{a(i+1)}}(n)}$$

$$\gamma_{i+1}(n) = \sqrt{\gamma_i(n)^2 - g_{i+1}(n)^2}$$

$$\theta_{i+1}(n) = \arctg \left(\frac{g_{i+1}(n)}{\gamma_{i+1}(n)} \right)$$

$$e_{q(i+1)}(n) = \cos \theta_{i+1}(n) e_{q_i}(n)$$

$$- \sin \theta_{i+1}(n) \sqrt{\lambda} y_{q(i+1)}(n-1)$$

$$y_{q(i+1)}(n) = \sin \theta_{i+1}(n) e_{q_i}(n)$$

$$+ \cos \theta_{i+1}(n) \sqrt{\lambda} y_{q(i+1)}(n-1)$$

$$e_N(n) = \gamma_N(n) e_{qN}(n)$$

Table I - Equations de l'algorithme QR rapide systolique optimisées pour une implantation CORDIC-

Au sein du circuit RASTAQR il a été retenu de faire les calculs en série sur les opérateurs CORDICs et que chaque opérateur représenterait un ordre de l'algorithme.

4. Caractéristiques du circuit

Les caractéristiques du circuit sont les suivantes :

Gamme de fonctionnement :
 Température : -55 °C, + 120 °C
 Alimentation : +4.5 V, +5.5 V

Boîtier CQFP (Céramique Quad Flat Pack) 340 broches

Complexité : 84 Kportes dont 4 Kbits de mémoire

Surface : 226.8 mm²

Technologie : TSBC4 (CMOS 0.8 mm, deux niveaux de métallisation) type précaractérisé

Fournisseur : TCS (THOMSON-CSF Semi-conducteurs Spécifiques)

La densité du circuit (400 portes/mm²) est faible en raison de nombreuses communications par bus entre certains blocs, de l'importante dynamique de ces bus qui véhiculent des données sur 18 bits et du grand nombre de paramètres à fournir en sortie.

5. Conclusion

Cet article a présenté un ASIC de filtrage adaptatif. Ce circuit de taille très importante (plus de 300000 transistors) est à notre connaissance la première implantation directe

d'un algorithme QR rapide au moyen d'opérateurs CORDIC. Réalisé dans le cadre d'un programme européen TIEGEC ce circuit constitue une avancée significative dans le domaine des circuits spécialisés de traitement du signal.

6. Annexe - Illustrations -

La figure 1 présente le synoptique de la partie opérative d'un ordre de l'algorithme.

La figure 2 présente un "plot" du circuit avec ses 9 opérateurs CORDICs, ses RAMs, ROMs, son multiplieur et ses modules de gestion des données.

La photo du circuit RASTAQR est présentée en dernière page. Sur cette photo un TMS 320C25 boîtier PGA est placé à gauche du circuit à titre de comparaison. .

7. Bibliographie

- [1] M. Terré and M. G. Bellanger, "A systolic QRD based algorithm for adaptive filtering and its implementation," in *Proc. IEEE Int. Conf. Speech., Signal Processing*, Minneapolis, Apr. 1993.
- [2] P.A. Regalia, "Numerical Stability Properties of a QR-Based Fast Least Squares Algorithm," *IEEE Trans. on Signal Processing*, vol 41, n°6, pp 2096-2109, June 1993.
- [3] J.E. Volder, "The CORDIC Trigonometric Computing Technique," *IRE Trans Electronic Computers*, vol EC 8 No3, pp 330-334, Sept 1959.
- [4] Yu Hen Hu, "The Quantization Effects of the CORDIC Algorithm," *IEEE Trans. on Signal Processing*, vol SP 40, n°4, pp 834-844, Apr 1992.
- [5] G. Privat et M. Renaudin, "L'algorithme CORDIC dans les architectures spécialisées de traitement numérique du signal," *revue Traitement du Signal*, vol 5, n° 6, 1988.

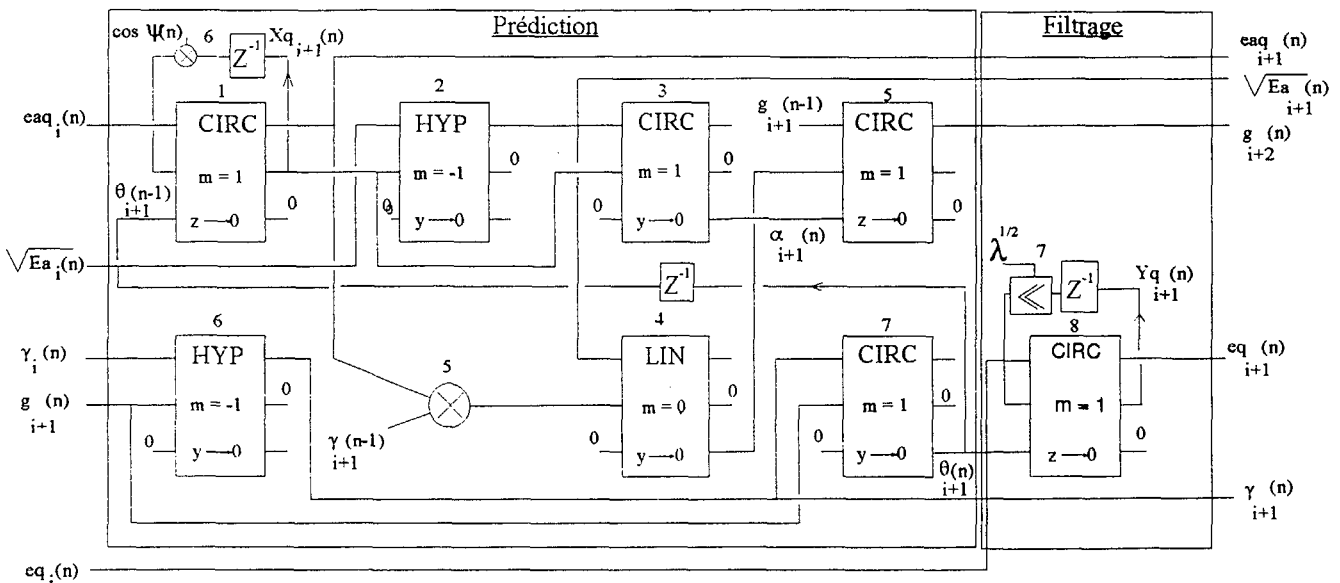


Figure 1 - Synoptique de la partie opérative d'un ordre de l'algorithme QR rapide systolique -

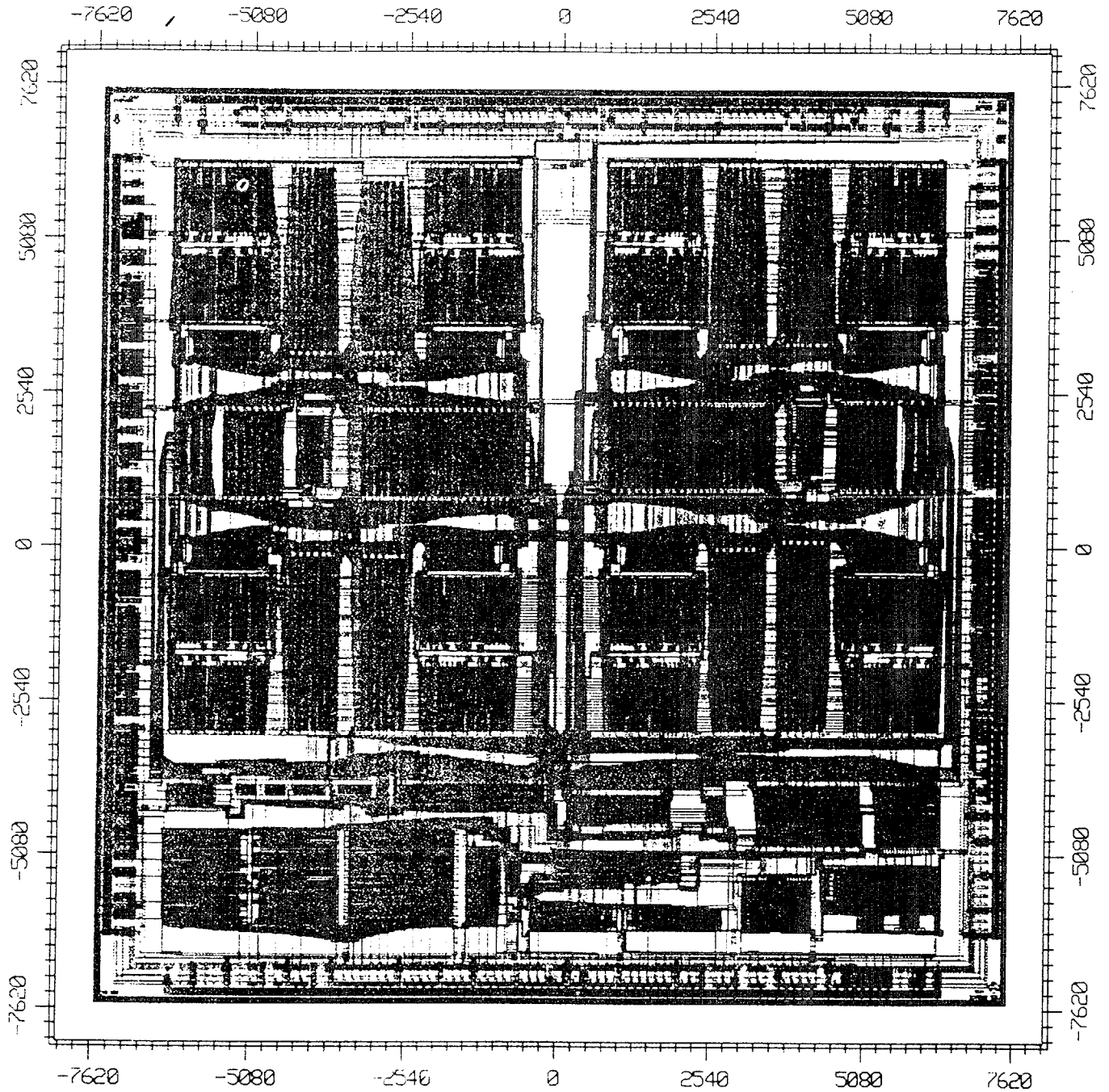
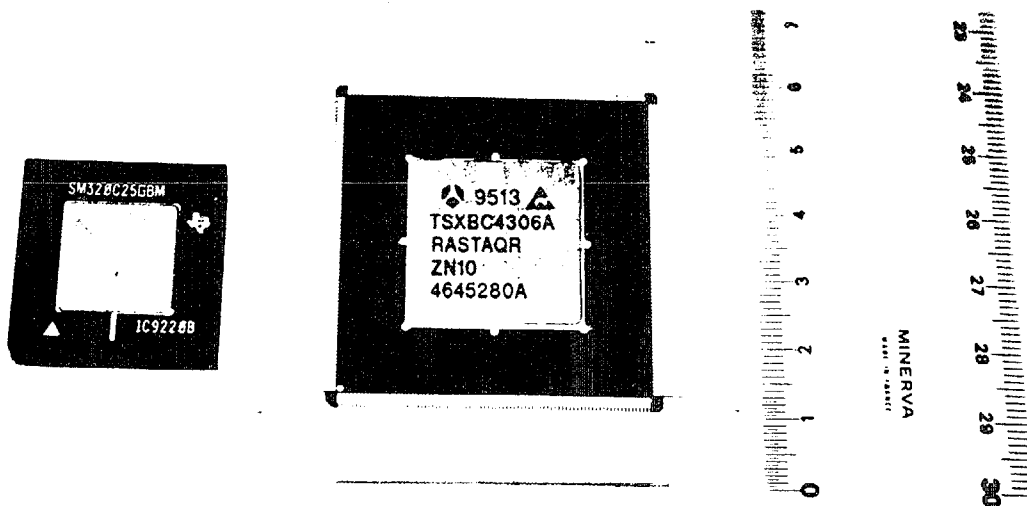


Figure 2 - Plot du circuit RastaQR -



- Photo du circuit RASTA QR -