

# Architecture Matérielle Optimale du Détecteur de Contours de Deriche : Implantation sur une Architecture Reconfigurable à base de FPGA

Shahram Zahirazami et Mohamed Akil

Groupe ESIEE, LPSI, Cité Descartes  
93162 Noisy le Grand cedex.  
zahirs,akilm@esiee.fr

## RÉSUMÉ

Nous traitons de l'implantation d'une architecture optimale du filtre de Deriche sur une architecture reconfigurable à base de FPGA. Nous montrons l'intérêt d'une étude aussi bien algorithmique qu'architecturale pour réaliser une adéquation optimale Algorithme-Architecture et la possibilité d'évaluer "rapidement" l'implantation de l'architecture.

Les résultats sont d'une part l'implantation en temps réel, de la nouvelle conception du filtre de Deriche sur FPGA et d'autre part l'intérêt d'une architecture reconfigurable Multi-FPGA comme plateforme de prototypage d'algorithmes de traitement d'image.

## ABSTRACT

We present the implementation of an optimal architecture of Deriche filter based on FPGA circuits. We show the interest of an architectural and algorithmic study in order to create a perfect match between algorithm and architecture and the possibility to evaluate fastly the cost of implementation of the architecture.

The results show in first hand the real time implementation of the new concept of Deriche filter and on the other hand the interest of a reconfigurable multi-FPGA architecture as a platform of prototyping of image processing algorithms.

## 1 Introduction

L'étude de l'implantation temps réel [1], soit 25 images  $512 \times 512$  par second, du détecteur de contour de Deriche [2], montre que des filtres bidimensionnels sont la combinaison d'un filtre de lissage récursif  $2D$  combiné au dérivateur de Sobel.

De cette étude d'Adéquation Algorithme Architecture sont déduites des optimisations Algorithmiques et Architecturales. Ces optimisations conduisent à une réduction de la complexité aussi bien de l'algorithme que de l'architecture.

L'implantation de l'algorithme original de Deriche, nécessite un minimum de 24 multiplieurs, 4 mémoires image et 16 mémoires de ligne ou colonne.

L'organisation  $2D$  optimale, proposée dans [1], nécessite 8 multiplieurs, une seule mémoire d'image et 2 mémoires de ligne ou colonne.

L'objet de cet article est de présenter l'étude de l'implantation de cette architecture optimale, ainsi que son évaluation sur une structure reconfigurable à base de FPGA de la famille Xilinx.

L'implantation inclut aussi un double seuillage pour le réglage des seuils (Seuil Haut "sh", Seuil Bas "sb"). (voir figure conceptions du filtre de lissage récursif  $2D$ ).

## 2 Différentes conceptions de l'architecture optimale

La nouvelle conception du filtre de Deriche proposée par séparable. L'architecture  $2D$  optimale est la suivante, (voir figure

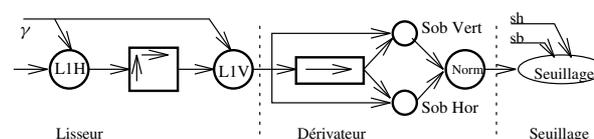


FIG. 1 — Organisation  $2D$  du filtre de Deriche-optimisé

Cette organisation comporte des filtres de lissage : Horizontal ( $L_1H$ ) et Vertical ( $L_1V$ ), suivi d'un Sobel ( $S_v$  et  $S_h$ ). Entre les deux filtres il y a une mémoire d'image.

Ces deux opérateurs ( $L_1H$ ), ( $L_1V$ ) sont identiques et ils se composent d'une cascade de deux filtres causal et non-causal d'ordre 2. Une mémoire de ligne (ou colonne) est située entre ces deux filtres.

La réduction du nombre de mémoire nécessaire, a été obtenue par une technique de gestion en mode ping-pong des mémoires. Le mode ping-pong se fait par une lecture suivie par une écriture dans la même case mémoire. Par exemple, le filtre non-causal lira le résultat du filtre causal qui a été écrit  $N$

cycles auparavant, et ce avant que cette case mémoire ne soit réutilisée par le filtre causal.

Les opérateurs à concevoir sont des filtres de 2<sup>ème</sup> ordre. Ce filtre de 2<sup>ème</sup> ordre peut être réalisé par la mise en cascade de deux filtres du premier ordre.

Le nombre d'opérations est divisé par 2, à l'aide d'un multiplexage temporel d'une structure du premier ordre. (voir figure 2)

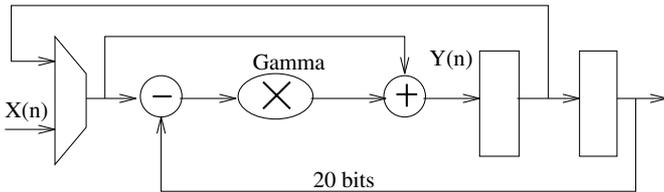


FIG. 2 — Filtre récursif de 2<sup>ème</sup> ordre

Mise à part la cascade de deux filtres de premier ordre et le repliage du filtre de premier ordre, les calculs peuvent être effectués sous forme de blocs série. Il s'agit de diviser les opérandes en deux ou plusieurs blocs et de faire les calculs sur chacun des blocs séparément. Les résultats partiels ainsi obtenus seront regroupés pour former le résultat final.

### 2.1 Représentation du paramètre $\gamma$

Le filtre de Deriche utilise un coefficient de caractérisation  $\alpha$  tel que  $\gamma = e^{-\alpha}$ . Le choix d'un codage du paramètre  $\gamma$ , sur 3 bits, permet de remplacer le multiplicateur par deux additionneurs.

Ce paramètre étant inférieur à 1, il sera codé en virgule fixe.

Lors d'une multiplication par  $\gamma$ , les trois bits LSB du résultat représentent la partie décimale du résultat. Celle-ci est conservée pour plus de précision pendant les calculs intermédiaires, et sera tronquée pour obtenir le résultat final.

Le tableau suivant montre les valeurs de  $\alpha$  correspondantes à toutes les valeurs possibles pour  $\gamma$  codé en 3 bits.

$\gamma$	0,125	0,250	0,375	0,500	0,625	0,750	0,875
$\alpha$	0,13	0,29	0,47	0,69	0,98	1,39	2,08

### 2.2 Précision de calcul

Les valeurs théoriques de l'équation du filtre de 2<sup>ème</sup> ordre ont été comparées avec les celles de deux versions en 14 et 20 bits.

Les résultats montrent que la réponse à un créneau est identique pour chaque architecture et qu'elle correspond à la valeur théorique. Les erreurs qui apparaissent sont dues, en majorité, à l'effet de troncature. Cependant le calcul sur 20 bits donne une bien plus grande précision que le calcul sur 14 bits. Ces erreurs apparaissent sur des très faibles valeurs de sortie du filtre, néanmoins, elles ne dégradent pas sa qualité (voir la figure 3).

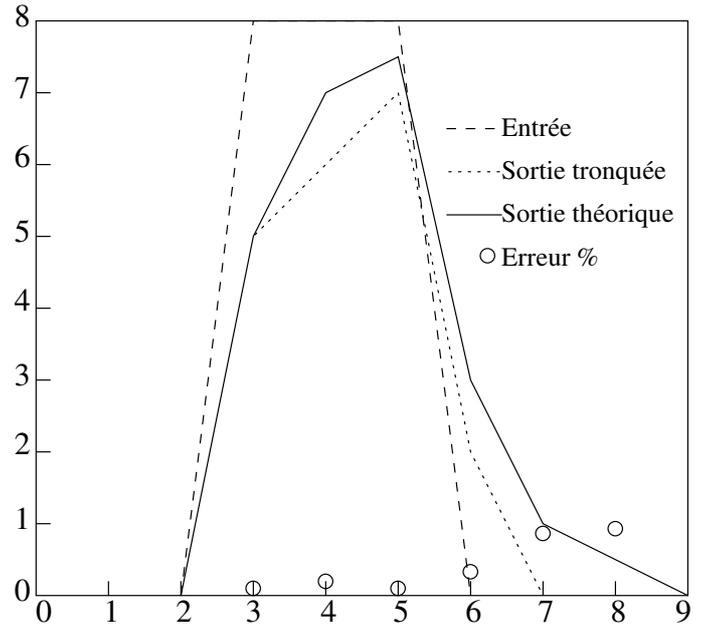


FIG. 3 — L'erreur calculée entre les résultats théoriques et la sortie tronquée

## 3 Évaluation des performances

L'évaluation de l'implantation des différentes formes de filtre est donnée par la table 1. Les formes correspondent à différentes structures du filtre, avec différents formats de données : forme cascade de filtre de 1<sup>er</sup> ordre, forme multiplexage temporel d'un filtre de 1<sup>er</sup>.

Les filtres complets, VHDL<sup>1</sup> ou XBLOX<sup>2</sup>, sont des filtres avec repliage et des bus de données de 20bits de largeur, ainsi que leurs générateurs d'adresse. Ces générateurs assurent l'adressage en mode ping-pong des mémoire : ligne, colonne et image. Les fréquences maximums des filtres avec repliage doivent être considérées comme la fréquence interne et pas la cadence d'entrée des données. Par exemple le filtre complet de type XBLOX avec 11,4 Mhz possède un temps de traversée de 175ns au lieu de 87,6ns.

Ainsi seuls les filtres en cascade peuvent traiter un pixel en moins de 100ns. Si on considère une mémoire à l'entrée du filtre, on peut utiliser tous les filtres avec une fréquence maximum de plus de 13,33 Mhz.

L'architecture 2D optimale, implantée sur un FPGA est la suivante : (voir figure 4). Elle nécessite 325 CLB (Blocks logiques) soit 80% d'un Xilinx XC4010 PG 191-4. La fréquence maximum est de 10,44Mhz.

L'architecture globale intégrant le Sobel et un double seuillage nécessite 465 + 117 CLB, soit 2 FPGAs. La fréquence de l'ensemble est déterminée par la partie la plus lente c'est à dire 10,76Mhz.

Comme le deuxième FPGA n'a pas été complètement ex-

<sup>1</sup> Conception à partir d'une description en VHDL

<sup>2</sup> Bibliothèque de blocs logiques optimisée pour la famille Xilinx

Type de filtre	Freq Max	#CLB/Packed
VHDL avec *	5,3 Mhz	355
VHDL-20bits-repliage	14,97 Mhz	115/74
VHDL-filtre complet	10,44 Mhz	504/325
XBLOX-14bits-1er ordre	14,90 Mhz	75/46
XBLOX-14bits-cascade	14,16 Mhz	147/92
XBLOX-14bits-repliage	13,75 Mhz	83/51
XBLOX-20bits-cascade	13,53 Mhz	195/134
XBLOX-20bits-repliage	12,91 Mhz	113/75
XBLOX-filtre complet	11,4 Mhz	465/318

TAB. 1 — Fréquence maximum et le nombre de CLB

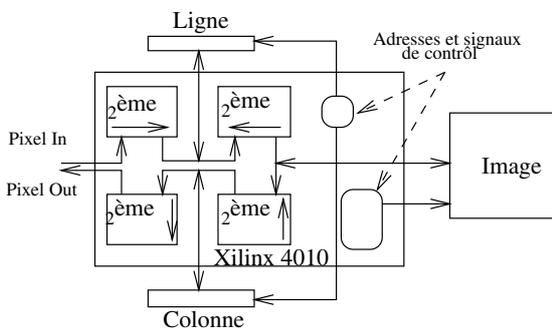


FIG. 4 — Schéma du lisseur

plotté, il peut être complété par l'implantation d'autres traitements, par exemple la fermeture de contours ou la détection des extrémités dans le cadre d'une chaîne de segmentation d'image.

## 4 Conclusion

Nous avons montré qu'il est possible d'implanter, en temps réel, cette nouvelle conception du filtre de Deriche sur FPGA, avec une cadence de 25 images par second.

Nous avons aussi évalué différentes solutions, d'où l'intérêt d'une architecture reconfigurable à base de FPGA, comme plate-forme de prototypage d'algorithmes de traitement d'images. L'étude présentée dans cet article s'inscrit dans le cadre de la conception d'une architecture dédiée pour le TBNI<sup>3</sup>. Cette architecture modulaire comprend : des modules de traitement à base de FPGA avec leur mémoire locale ; des modules de mémoire commune reconfigurable comme FIFO ou RAM ; et un module à base de FPGA pour l'interconnexion entre ces modules (Traitement et mémoire commune)

<sup>3</sup>Traitement Bas Niveau d'Image

## Références

- [1] D. Demigny, F.G Lorca, L Kemal et J.P Cocquerez. *Conception nouvelle du détecteur de contours de Deriche*. Symposium on signal and Image Processing, GRETSI, 1995.
- [2] R. Deriche. *Fast Algorithms for low level vision*. Transactions on Pattern Analysis and Machine Intelligence, IEEE, Vol PAMI-12, no 1 ; 1990