

Plate-forme de Prototypage et Conception pour les systèmes de Radio-Logicielle

FABIENNE NOUVEL, ARNAUD MASSIANI, PIERRE DE STEFANO

IETR/INSA de Rennes, Institut Electronique et Télécommunications de Rennes, 20 Avenue des buttes de Coësmes, 35043
Rennes,
fabienne.nouvel@insa-rennes.fr

Résumé – Cet article présente la plate-forme radio logicielle utilisée dans le projet PALMYRE, élaboré dans le cadre du Contrat de Plan Etat Région (CPER) pour une durée de 5 ans. La plate-forme hétérogène et commune à plusieurs laboratoires bretons va ainsi permettre le développement et l'évaluation de systèmes radioélectriques pour les futures générations. Pour faciliter le portage de multiples applications sur cette plate-forme, une méthodologie de conception est mise en place, offrant ainsi un couplage algorithme-architecture maximal.

Abstract – *In this paper, the architecture demonstrator for single carrier and multi-carrier radio system will be presented. This development is performed in the scope of the project PALMYRE together with 3 universities laboratories research : IETR, ENST and LESTER. The main objective of this project is the demonstration of a multi-standard system on a single prototyping board, including DSP and FPGA.*

1. Introduction : Besoins et objectifs d'une plate-forme radio logicielle

Les applications de radiocommunication connaissent une véritable explosion. L'émergence des futures générations de systèmes, notamment la 4^{ème} génération, se présente comme une réponse à l'accroissement permanent de la diversité des standards et des applications demandées et supportées. Cette recherche accompagne la notion de Radio Logicielle. Ce terme désigne un système flexible, multi-standards, reconfigurables dont le traitement numérique est plus en plus prépondérant et à proximité de l'antenne. La réalisation de tels systèmes reste pour l'heure trop optimiste, au vue des contraintes technologiques actuelles, et conduit à la définition de systèmes qualifiés de Radio Logicielle Restreinte (SDR). La SDR repose sur une transposition en fréquence intermédiaire avant le traitement numérique. Ceci nécessite une évolution des structures classiques dédiées de réalisation qui conduit à l'utilisation de plate-formes non dédiées dites de prototypage rapide, ouvertes, permettant d'accueillir plusieurs applications ou standards de communications. Dans la première partie de l'article, les critères de choix de la plate-forme Radio Logicielle sont présentés. Cette plate-forme matérielle doit être accompagnée d'une plate-forme logicielle, guidant le concepteur dans l'optimisation de l'utilisation de celle-ci en fonction des algorithmes à implanter. C'est l'objet du deuxième paragraphe. Des résultats d'implémentation sur la plate-forme retenue pour PALMYRE sont exposés dans le troisième volet.

2. Définition de la plate-forme. Critères de choix

2.1 Critères de définition de la plate-forme.

Le développement d'architectures hétérogènes et reconfigurables, basé sur une utilisation conjointe de processeurs de signaux (DSP) et composants programmables

(FPGA), offre une réponse aux contraintes de la SDR. Par ailleurs, les applications de radiocommunications ont pour caractéristiques d'être régulières (flot de données) et intensives en calcul, nécessitant du parallélisme dans les exécutions. Ces contraintes nous conduisent à la définition de plate-formes dites de prototypage rapide. Facilité de développement et la disponibilité anticipée d'un démonstrateur pouvant conduire à un Soc sont deux éléments clef de ces plate-formes. Le prototype doit être capable de fonctionner dans des conditions proches du système final, sans avoir recours à un circuit spécifique. Les bénéfices d'une telle approche sont nombreux : vérification en environnement réel, preuves d'un concept, mesures et tests rapides,...

On peut lister un certain nombre de critères qui vont orientés le choix de la plate-forme :

- l'utilisation de composants non spécifiques : elle doit accueillir à la fois des DSP et des FPGA. Les DSP disposent d'une organisation adaptée au traitement du signal. Les FPGA permettent de supporter la diversité des traitements et les contraintes de temps réel. Cette association forme une architecture hétérogène,

- le couplage entre les composants : le parallélisme effectif de la plate-forme nécessite une synchronisation entre les cibles. Le réseau de communication ne doit pas pénaliser les performances globales du système. Il doit aussi être flexible et permettre différentes configurations matérielles. Cette flexibilité se traduit par des bus au nombre variable, de taille adaptée aux flux de données, ...

- la politique d'ordonnancement et la distribution des différentes opérations sur les cibles. Une politique dynamique, impose une gestion dynamique des ressources qui peut rendre la prédiction des performances aléatoire. A l'inverse, un ordonnancement statique, nécessitant une définition préalable de l'exécution, permettra un dimensionnement adéquat de l'application, des ressources de calcul et de communication.

En plus de cette hétérogénéité des composants numériques, la plate-forme doit offrir une interface

analogique au travers de convertisseurs numériques-analogiques et inversement. Ils doivent communiquer de façon identiques avec les modules numériques (bus). Ces convertisseurs vont permettre par la suite de connecter le traitement bande de base (BB) aux modules radio fréquence (RF) analogique, travaillant dans les bandes de fréquences 2,4GHz à 5GHz. Cette transposition BB en bande RF nécessite un étage intermédiaire de passage en fréquence intermédiaire (FI). La combinaison composants numériques et composants de conversion constitue alors la plate-forme de prototype que l'on peut qualifier de 'mécano-électronique'.

Plusieurs plate-formes ont été proposées dans le cadre de projets, tels MATRICE et 4MORE[1], RICE [2], PLATON [3], Picard [4]. Parmi ces systèmes, seul le système Picard est constitué d'une carte numérique au format PCI, qui s'interface avec une carte RF. Par ailleurs, ils sont très orientés vers un standard de télécommunication (2G, 3G). Ces plate-formes ne répondent donc pas à la contrainte de la radio logicielle, dont l'objectif est d'offrir plusieurs standards sur une même plate-forme. Par ailleurs, peu d'entre elles proposent une interface radio-fréquence analogique.

2.2 Présentation de la plate-forme retenue

Le marché des équipements de prototypage, bien que vaste, ne répond pas toujours à nos contraintes : mono-composant, outil dédié, système non modulaire,... Dans [3], l'auteur dresse un état des nombreuses plate-formes disponibles, à base de DSP, de FPGA ou de composants dédiés. Pour déterminer la ou les sociétés fournisseurs, plusieurs comparaisons ont été menées selon différents critères précisés précédemment. Le choix s'est finalement arrêté avec la solution Sundance [5] qui répond bien aux critères énoncés.

La plate-forme repose sur l'utilisation d'une carte mère compatible au format PCI, qui comporte 4 emplacements au format TIM-40 recevant les cartes filles. Les modules numériques (DSP/FPGA) mono ou multi-composants ou de conversion (CNA/CAN) échangent leurs données selon 2 types de média principaux : les communications selon les ports C4x (CP) et les interfaces propriétaires Sundance SDB (Sundance Data Bus). Ces communications point à point sont toutes bidirectionnelles, synchrones ou asynchrones. Les CP ont des débits maximum de 20Mo/s alors que les SDB offrent des débits de 200Mo/s à 100MHz. Différentes configurations de connexions sont possibles, sachant que l'on dispose de 6 CP et de 2 à 4 SDB par modules. La Figure 1 est un exemple de configuration de l'émetteur utilisé dans le projet PALMYRE pour les modem mono et multi-porteuses.

Dans le cadre du projet, les modules DSP sont uniquement des DSP C6x de Texas Instrument. Plusieurs composants sont disponibles sur les cartes TIM : du C62 à 200 MHz au C64 à 600 MHz, le choix du module étant effectué selon les performances visées. Pour les FPGA, il s'agit des composants des familles VirtexE et VirtexII de Xilinx. Quelque soit le module DSP et le module FPGA, les communications utilisent les CP ou SDB.

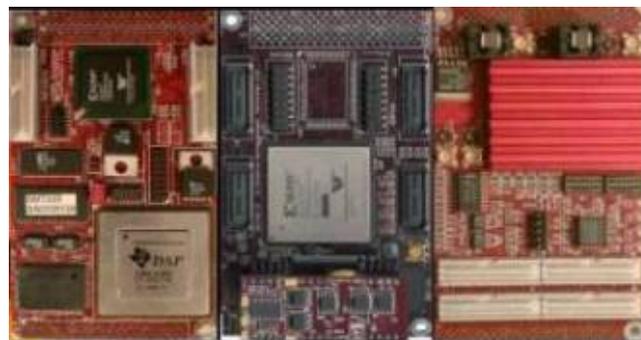


FIG. 1 : Carte Sundance avec 3 modules TIM : DSP C6x , FPGA VirtexII et CNA

En ce qui concerne la partie analogique, celle-ci est développée plus spécifiquement pour des applications Indoor.

Disposant d'une entrée en fréquence intermédiaire allant de 20 à 50 MHz, avec un niveau de -19 dBm, le signal est alors transposé dans les bandes 5.15 à 5.35 GHz, et assure une compatibilité avec les standards IEEE 802.11. Le signal est transmis avec une puissance de 3 à 23 dBm. En réception, la tête d'entrée dispose d'une sensibilité de -85 dBm, et réalise la transposition en fréquence intermédiaire avec un contrôle de gain de 65 dB. Par ailleurs, le concept de ce module RF permet une extension pour des applications MIMO (Multiple Input, Multiple Output).

L'utilisation d'une telle plate-forme 'matérielle' doit être accompagnée d'une plate-forme 'logicielle'. En effet, l'objectif de la plate-forme matérielle est de faciliter la validation et les tests d'applications et non la connaissance précise de l'architecture, notamment les moyens de communications entre modules. C'est l'objet du paragraphe suivant.

3. Méthodologies de conception

3.1 Présentation des différentes approches

L'hétérogénéité de l'architecture se retrouve dans l'hétérogénéité des applications visées : formes d'ondes, mono ou multi-porteuses, bande étroite ou large bande, ... La mise en place de méthodologies de conception doit permettre de répondre aux points suivants : faciliter l'exploration architecturale et la ré-utilisation de développements existants, limiter le coût de développement et réunir les compétences des différents partenaires. Dans le cadre du projet PALMYRE, plusieurs méthodologies complémentaires sont proposées pour répondre à ces contraintes :

- L'approche MCSE/Cofluent [6] est une démarche globale qui s'articule autour de 4 étapes : spécifications, conception fonctionnelle, architecturale et implémentation. Les algorithmes et les architectures sont modélisées sous forme de graphes illustrés par les Figure 2.a et 2b. Les différentes fonctions sont testées tout en prenant en compte les caractéristiques des cibles. Par contre, la distribution des fonctions sur les cibles est manuelle et guidée par le concepteur,

- L'approche AAA/SynDEx [7] propose une démarche qui permet de réaliser automatiquement la distribution des fonctions sur l'architecture ainsi que l'ordonnancement de celles-ci. Les fonctions et cibles y sont modélisées.

- l'approche par l'outil de synthèse GAUT [3]: GAUT permet de réaliser la synthèse des unités de calcul et de communication pour des cibles FPGA. Partant d'une description comportementale, GAUT génère les différentes entités en y incluant les interfaces. Par contre, GAUT ne gère pas le partitionnement, ni l'adéquation algorithme-architecture qui doit être réalisée manuellement.

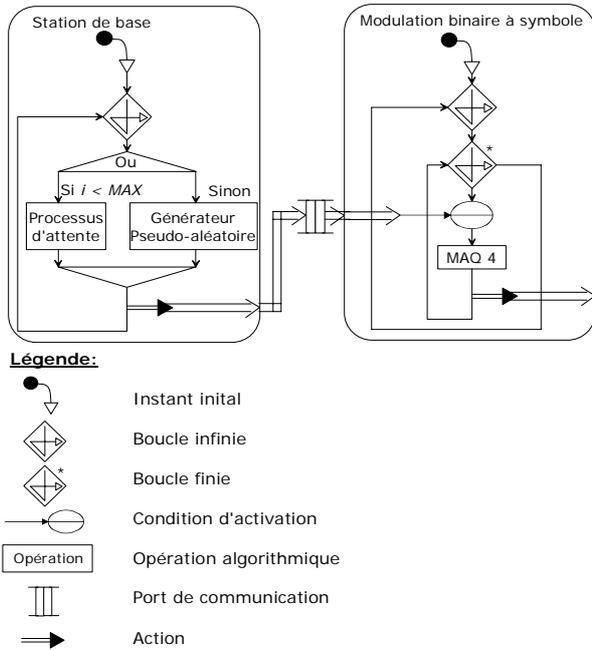


FIG 2.a Modélisation des algorithmes sous MCSE

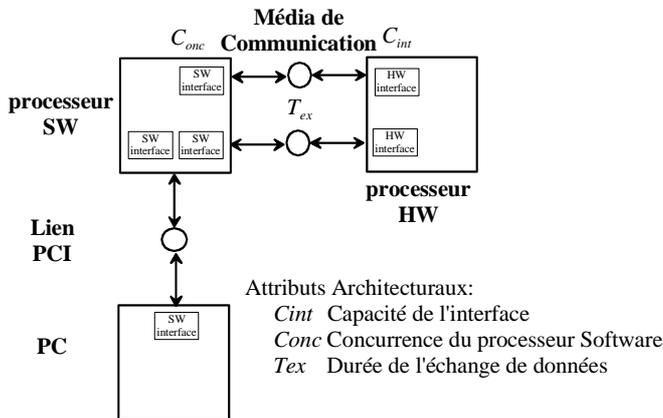


FIG 2.b Modélisation de l'architecture de la plate-forme Sundance sous MCSE

Ces trois méthodes ne sont pas concurrentes mais complémentaires. Elles n'interviennent que dans la phase conception numérique. La spécification fonctionnelle est décrite avec MCSE, aboutissant à la définition des modules fonctionnels et de leurs interfaces. Puis, l'approche AAA avec SynDEx permet une répartition optimale des algorithmes sur l'architecture cible. A ce niveau, il n'est pas nécessaire de disposer des algorithmes car SynDEx ne simule

pas le système mais propose une distribution définie à partir des temps d'exécution de chaque module estimés sur chaque cible logicielle (DSP) ou matérielle (FPGA). Après l'adéquation, SynDEx génère un macro code séquentiel pour chaque cible, qui doit être traduit en C si la cible est un DSP ou VHDL s'il s'agit d'un FPGA. Partant de cette distribution et de l'ordonnancement, il est possible alors de développer les algorithmes, dans l'environnement MCSE. L'application peut alors être entièrement simulée, tout en tenant compte de l'architecture, et plus particulièrement des interfaces entre les différents composants (DSP/FPGA): mode d'échanges, taille, évènements. Une fois le système validé fonctionnellement et matériellement, l'outil GAUT nous donne alors la possibilité de transcrire les algorithmes en langage VHDL pour les cibles FPGA. Cette traduction prend en compte aussi la génération des interfaces de communication et les synchronisations avec les unités de calcul. La Figure 3 illustre le flot ainsi mis en œuvre.

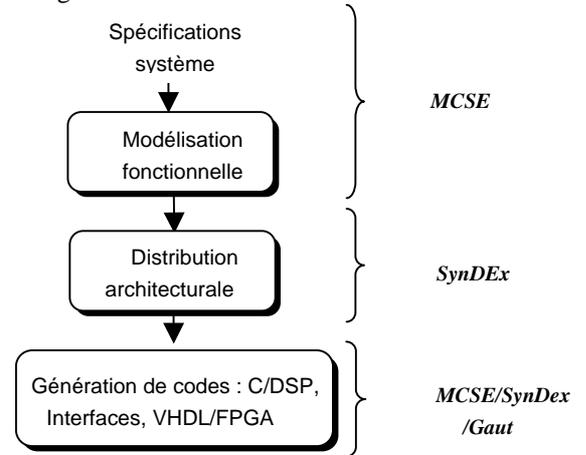


FIG 3. Flot de conception.

Dans le cadre du projet PALMYRE, l'équipe IETR de Rennes a travaillé sur les deux premiers outils MCSE et SynDEx [6] [7]. L'approche GAUT a été étudiée par le LESTER et fait l'objet des travaux présentés dans [3]. SynDEx et MCSE nous permettent alors de décrire le système avec une approche descendante, qui prend en compte à la fois les paramètres des algorithmes et ceux de l'architecture. Ce couplage évite la trop fréquente rupture entre les équipes de développement software et hardware.

4. Mise en œuvre de la plate-forme

4.1 Application mono-porteuse

La première application portée sur cette plate-forme est une chaîne de transmission mono-porteuse, offrant un débit utile de 18 Mb/s. Elle met en œuvre 2 cartes Sundance dotées chacune d'elles d'un DSP C62, d'un FPGA Virtex XC2V1000 (1M de portes) et d'un couple CNA/CAN. La transposition en fréquence intermédiaire à 45 MHz est effectuée en numérique avant la phase conversion numérique-analogique, évitant dès lors l'utilisation de 2 convertisseurs à l'émission. En réception, le traitement symétrique est effectué. Disposant d'un rapport signal à bruit

de 11dB, un taux d'erreur binaire dans la plage de 1.10^{-6} à 1.10^{-4} est obtenu avec un rapport signal à bruit de 11 dB, selon les conditions initiales. Cette première application mono-porteuse a permis de valider les solutions architecturales retenues ainsi que les bibliothèques de communications CP et SDB. Ces résultats sont présentés dans [8].

4.2 Application multi-porteuses

La seconde application est un modem multi-porteuses large bande à étalement de spectre (MC-CDMA) [7]. Il s'appuie sur la même plate-forme matérielle et offre un débit de 30 Mbits/s à 60 Mbits/s avec une bande de transmission de 20 MHz. Celle-ci est découpée en 256 sous-bandes avec 192 utiles, le signal occupe alors une bande de 15MHz. La Figure 4 donne le synoptique général du modem MC-CDMA. Les paramètres ont été choisis de façon à se situer au delà de la norme Hiperlan utilisée dans les systèmes indoor. Après une modulation QPSK ou 16 QAM, le signal est étalé en fréquence avec un facteur d'étalement maximal de 32, puis transmis sur les 192 porteuses utiles. La modulation multi-porteuses utilise une IFFT de 256 points, basée sur une IP (Intellectual Property) de Xilinx [9]. Le débit obtenu avec une fréquence système de 20 MHz varie de 30Mbit/s à 60 Mbit/s. La transposition en FI à 10 MHz est effectuée aussi numériquement selon un schéma similaire à l'application mono-porteuse. La trame est alors constituée d'un symbole d'estimation puis de plusieurs symboles utilisateurs. La structure de la trame est totalement configurable (étalement, taille IFFT/FFT, modulation) offrant ainsi une adéquation selon l'environnement de communications. En réception, le symbole d'estimation permet de calculer les coefficients d'égalisation, qui restent constants sur l'ensemble de la trame. Le critère du ZF (Zero Forcing) [7] est appliqué, pour ses bonnes performances et sa simplicité. Pour la démodulation, les opérations inverses de celles de l'émetteur sont effectuées, comme indiqué sur la Figure 4.

Les émetteurs et récepteurs sont intégrés sur 2 modules FPGA constitués chacun d'un composant Virtex XC2V2000 (2 M de portes). Ces FPGA sont utilisés respectivement à 60% et 65% en émission et réception. Les modules FPGA communiquent également avec les DSP C62 de Texas par des liens SDB. Les DSP permettent de générer et récupérer le flux de données. Ils sont interfacés avec le poste PC par le lien PCI de la carte support Sundance.

4.3 Apport des méthodologies SynDEx et MCSE

L'outil SynDEx a été mise en œuvre lors de l'étape de partitionnement. Il est également utilisé pour la génération automatique du code pour les interfaces de communications entre modules. Le développement du modem multi-porteuse est réalisé dans l'environnement MCSE. Ainsi, l'ensemble des algorithmes ont pu être testés avant implémentation. Nous avons pu mettre en évidence les latences introduites par les liens, ainsi que les risques de rupture de flux en cas d'utilisation des liens de type CP. L'outil MCSE nous a par ailleurs permis de dimensionner de façon optimale les

données manipulées sur le FPGA, tout en facilitant le passage virgule flottante - virgule fixe.

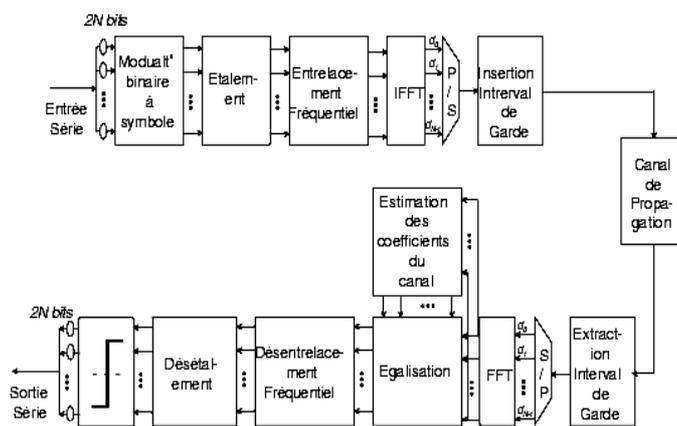


FIG 4 Synoptique du modem MC-CDMA

5. Conclusion

Plusieurs travaux sont actuellement en cours, visant à améliorer les performances du système et son intégration. La plate-forme de prototypage proposée dans le cadre du projet PALMYRE permet ainsi de supporter plusieurs modems. Des extensions vers d'autres standards sont envisageables, la seule contrainte étant les ressources des composants. Par ailleurs, l'approche méthodologique a permis de concevoir le modem de façon rigoureuse et optimisée.

Remerciements

Ce projet PALMYRE est supporté par le Ministère de L'industrie et de la Recherche, la région Bretagne, les collectivités locales et conseils généraux.

Références

- [1] Site du Projet Européen IST www.ist.matrice.org.
- [2] P. Murphy, *An FPGA Based Rapid Prototyping Platform for MIMO systems*, Asilomar Conference on signals system and Computers, Novembre 2003
- [3] Bomel P., *Plate-forme de prototypage rapide fondée sur la synthèse de haut niveau pour applications de radiocommunications*, Thèse de Doctorat de l'Université de Bretagne Sud, N° 45, Décembre 2004.
- [4] Picard Hardware Concept for WLAN applications, LABORATOIRE IMEC, www.imec.be, Belgique.
- [5] SUNDANCE CORPORATION, Adresse web de la société www.sundance.com, Royaume Uni
- [6] A. Massiani, F.Nouvel, Le Nours S., *Méthodologies de Conception appliquée aux systèmes de Radio Logicielle*, Conférence JFAAA 2005, 18-21 Janvier 2005, Dijon
- [7] LE NOURS S., *Etude, optimisation et implémentation de systèmes MC-CDMA sur architectures hétérogènes*, Thèse de Doctorat de l'INSA de Rennes, Décembre 2003.
- [8] PROJET REGION BRETAGNE CPER PALMYRE - Etat d'avancement – Juin 2005.
- [9] Site de la société Xilinx www.xilinx.com. Rubrique FFT VirtexII