

Conception d'un récepteur itératif pour des systèmes *MIMO* avec précodage linéaire

Daoud KARAKOLAH, Christophe JEGO, Charlotte LANGLAIS et Michel JEZEQUEL

Institut Télécom; Télécom Bretagne, CNRS Lab-STICC UMR 3192

Département Electronique, Technopôle Brest Iroise, CS 83818 29238 Brest Cedex 3

Université Européenne de Bretagne, France

prenom.nom@telecom-bretagne.eu

Résumé – L'article proposé traite le problème de l'implémentation de récepteurs itératifs pour des systèmes *MIMO*. Nous présentons une architecture matérielle pour un récepteur itératif comprenant un détecteur et un décodeur qui échangent des informations souples. Tout d'abord, nous expliquons comment il est possible de concevoir un détecteur à annulation d'interférences basé sur le critère du minimum d'erreur quadratique moyenne (*MMSE-IC*). Ce détecteur est associé à un décodeur Max-Log-MAP de codes convolutifs 64 états. Ces deux éléments sont à entrées et sorties pondérées pour permettre un échange d'information selon un processus itératif. Le récepteur itératif est appliqué à un système *MIMO* 2x2 avec précodage linéaire. Un prototype matériel sur cible *FPGA* démontre les capacités en terme de performance et de complexité matérielle d'un tel récepteur.

Abstract – This paper presents an architecture design and implementation of an iterative receiver dedicated to *MIMO* systems. The receiver is composed of two main elements: an MMSE-IC equalizer and a 64-state Max-Log-MAP decoder which exchange soft information through an interleaving scheme. Each block of the architecture was designed to reach a trade off between complexity and error rate performance. This iterative receiver is used for a 2x2 linearly precoded *MIMO* system. The potential of the iterative receiver as a practical and competitive solution was demonstrated by an *FPGA* real-time platform.

1. Introduction

Les systèmes de transmission de type *MIMO* (*Multiple Input Multiple Output*), comportant plusieurs antennes à l'émission et à la réception, ouvrent de nouvelles perspectives de développement. En effet, la transmission d'information numérique doit se faire à des débits toujours plus élevés et cela pour une qualité de service de plus en plus exigeante. Dans ce contexte, l'utilisation de plusieurs antennes permet à la fois d'augmenter l'efficacité spectrale des systèmes mais aussi de les rendre plus robustes aux évanouissements du canal de transmission. L'augmentation du débit par multiplexage de flux n'est rendue possible que par l'annulation de l'interférence co-antenne à la réception. Pour ce faire, la détection *MIMO* doit être associée à des récepteurs performants qui tirent notamment parti de la présence d'un codage de canal. Afin de s'approcher des performances optimales d'un récepteur, le principe Turbo, initialement proposé dans le contexte de la concaténation parallèle de codeurs convolutifs a été étendu aux transmissions *MIMO*. Jusqu'à récemment, un compromis devait être réalisé entre multiplexage spatial et diversité spatiale d'émission dans les systèmes *MIMO*. En clair, les techniques appliquées aux transmissions *MIMO* ne permettaient pas d'obtenir simultanément le niveau maximal en débit et en portée. Dans [1], la construction

conjointe d'un émetteur et de son récepteur permet de combiner les deux avantages. La technique proposée repose sur deux principes : l'association d'un précodage linéaire avec un multiplexage spatial à l'émission et le principe itératif à la réception. La démonstration de la faisabilité matérielle de tels systèmes de transmission est essentielle à leur crédibilité. Récemment, une première architecture de réception itérative dédiée à un système *MIMO* a été proposée [2]. Ce récepteur comprend un détecteur sous optimal à base de filtres linéaires associé à un turbo décodeur. Cependant dans le contexte de notre étude, à savoir un système *MIMO* avec précodage linéaire, les performances en terme de taux d'erreur trame (*Frame Error Rate*) du récepteur ne sont pas acceptables en raison du fort niveau d'interférences [1]. Ce niveau d'interférences dû à la combinaison du multiplexage spatial et du précodage linéaire, nécessite l'utilisation d'une version du détecteur basé sur le critère du minimum d'erreur quadratique moyenne (*MMSE*) plus robuste. C'est pourquoi, nous nous sommes focalisés sur une détection avec annulation d'interférences (*MMSE-IC*), ayant selon nous un bon compromis performance/complexité, associée à un décodage traditionnel de codes convolutifs. Le processus itératif est basé sur l'échange d'informations souples entre les deux fonctions comme sur la figure 1.

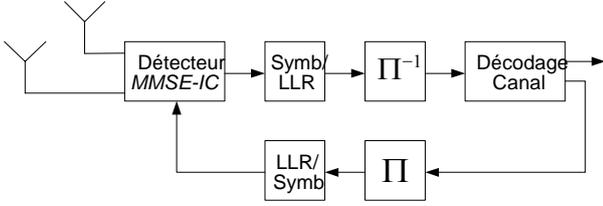


FIG. 1 : schéma du récepteur itératif pour une transmission MIMO avec précodage linéaire

Dans cet article, l'architecture de l'ensemble du récepteur itératif est proposée. Le système *MIMO* comprend deux antennes à l'émission et deux antennes à la réception. La transformation bit/symbole est de type quadrature (*QPSK*). Notons que des rapports de vraisemblance logarithmique (*LLR*) des bits composant les symboles sont utilisés pour l'échange d'information au sein du processus itératif. Le précodage linéaire permet l'exploitation de la diversité spatiale transmise et est obtenu à l'aide d'une matrice de type Hadamard de taille deux, identique au nombre d'antennes à l'émission. Le code convolutif 64 états de rendement $\frac{1}{2}$ de la norme IEEE802.11 a/g est utilisé dans notre étude. Comme ce standard accepte différentes tailles de trame d'information, nous nous sommes dans un premier temps limité à une taille de trame de 2048 bits d'information. Au niveau du canal de transmission, un modèle de canal MIMO non sélectif en fréquence et quasi-statique, c'est à dire constant pour chaque trame, est utilisé.

2. Architecture du récepteur itératif

Nous détaillons dans cette section l'architecture du récepteur itératif. Les trois blocs principaux constituant le récepteur à savoir le détecteur souple, le décodeur souple et l'entrelaceur régulier sont successivement détaillés.

2.1 Architecture du détecteur souple

Dans ce système itératif, le détecteur a connaissance d'une information a priori sous la forme des symboles estimés \hat{x} . De plus, une information de fiabilité sur ces symboles $\sigma_x^2 - \sigma_{\hat{x}}^2$, peut être calculée à la sortie du décodeur. Les symboles estimés à la suite du décodage de canal permettent d'évaluer le terme d'interférences et de le $\tilde{x} = \text{diag}(\lambda)(\mathbf{S}^H \cdot \mathcal{H}^H \cdot \mathcal{F}^H (\mathbf{y} - \mathcal{H} \cdot \mathbf{S} \cdot \hat{x}) + \text{diag}(\beta) \cdot \hat{x})$ soustraire au signal reçu. La sortie du détecteur *MMSE-IC* est donnée par [3]:

où \mathcal{H} est la matrice du canal, \mathbf{S} la matrice du code espace-temps, \mathbf{y} une trame reçue du canal, \hat{x} un vecteur des symboles décodés, σ_x^2 la variance des symboles émis, $\sigma_{\hat{x}}^2$ la variance des symboles décodés, \tilde{x} le vecteur des symboles estimés et β , λ les coefficients d'égalisation. Quant à la matrice d'égalisation à inverser \mathcal{F} , elle a pour expression :

$$\mathcal{F} = ((\sigma_x^2 - \sigma_{\hat{x}}^2) \mathcal{H} \cdot \mathcal{H}^H + \sigma_w^2 \cdot \mathbf{I})^{-1}$$

Dans notre contexte d'étude, à savoir un codage espace-temps utilisant un précodage linéaire de type Hadamard, une reformulation de l'algorithme *MMSE-IC* a été

effectuée afin de réduire la complexité calculatoire du détecteur. Cette reformulation consiste à réorganiser l'ordre des calculs en tirant profit de deux propriétés de la matrice \mathbf{S} du code espace-temps (propriété d'orthogonalité et matrice composée uniquement des valeurs 1, 0 et -1). Le détail de cette reformulation et son impact sur la complexité calculatoire du détecteur sont donnés dans [3].

Le détecteur *MMSE-IC* a été décomposé en trois blocs principaux \mathbf{B}_1 , \mathbf{B}_2 et \mathbf{B}_3 comme décrit dans la figure 2. Le bloc \mathbf{B}_1 permet la soustraction du terme d'interférences à l'information reçu \mathbf{y} . Le bloc \mathbf{B}_2 est chargé du calcul des coefficients d'égalisation. Le bloc \mathbf{B}_3 est quant à lui le bloc de sortie. Les blocs \mathbf{B}_1 et \mathbf{B}_2 peuvent être actifs en parallèle. Par contre, le bloc \mathbf{B}_3 dépend des deux premiers. Le bloc \mathbf{B}_2 estime la matrice complexe $\mathcal{A} = \mathcal{H}^H \cdot \mathcal{F}^H$ et les coefficients d'égalisation : β , λ et $\mathbf{g} = \beta \cdot \lambda$. Ce bloc est le plus complexe car il contient en particulier l'inversion matricielle. C'est la raison pour laquelle il a été décomposé en 4 sous-blocs. Le sous-bloc $\mathbf{B}_{2.1}$ calcule la matrice \mathcal{H}^H . La matrice inversée \mathcal{F} est calculée dans le sous-bloc $\mathbf{B}_{2.2}$. Comme cette opération est la plus critique du détecteur, nous avons fait un état de l'art sur l'inversion de matrice qui est détaillé dans [3]. Nous avons ainsi démontré que l'architecture la plus efficace dans notre contexte pour l'inversion de matrice repose sur la méthode analytique. Les coefficients de la matrice \mathcal{F} sont ensuite utilisés dans le sous-bloc $\mathbf{B}_{2.3}$ pour calculer les coefficients β . Quant au sous-bloc $\mathbf{B}_{2.4}$, il permet de générer les coefficients λ et \mathbf{g} .

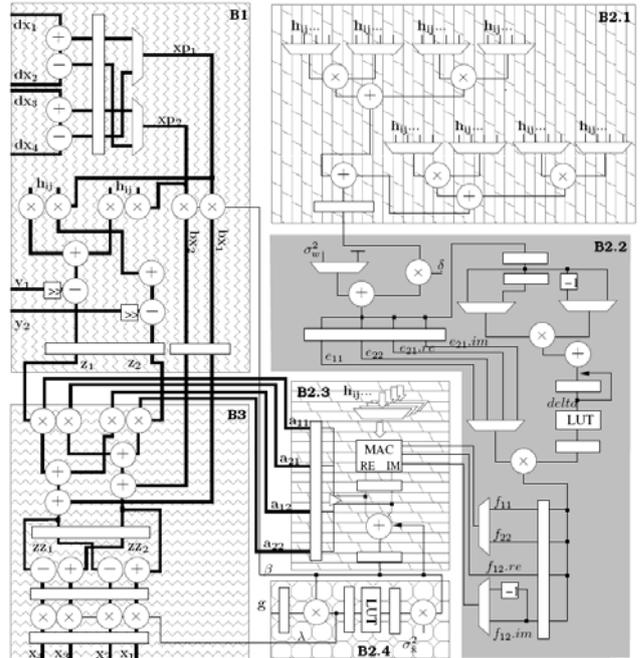


FIG. 2 : schéma de l'architecture du détecteur *MMSE-IC*

L'architecture du détecteur a été conçue pour pouvoir traiter deux symboles complexes en parallèle. Les transformations *LLR* ↔ symbole sont ajoutées au détecteur que nous appelons désormais détecteur *SISO*. Il est à noter qu'une approximation de type Max-Log a été appliquée, comme suggéré dans [1], pour éliminer les opérations *log* et *exp* durant les transformations.

2.2 Architecture du décodeur souple

Le décodage à entrées et sorties souples des turbocodes convolutifs s'effectue à l'aide de l'algorithme BCJR [4], aussi connu sous le terme algorithme Maximum A Posteriori (*MAP*). En pratique, pour des raisons de complexité, il est implémenté sous une forme sous-optimale dans le domaine logarithmique (*Max-Log-MAP*). Cet algorithmique se décompose en 4 étapes de calcul : métriques de branches γ , métriques d'états dans le sens aller α , métriques d'états dans le sens retour β et rapports logarithme de vraisemblance (*LLR*). Dans notre étude, l'algorithme est appliqué sur le treillis d'un code convolutif 64 états pour une taille de trame de 2048 bits. A notre connaissance, aucune architecture à entrées et sorties souples pour des codes convolutifs 64 états n'a été implémentée car les turbocodes sont constitués de codes à faible nombre d'états. Le principal problème dans la définition de la solution architecturale est le coût en terme de mémoire pour les métriques d'états. En effet, la quantité de métriques à mémoriser est fonction du nombre d'états et de la longueur de la trame. Dans notre étude, cette quantité correspond à 131072 métriques d'états. Pour réduire cette valeur, des parallélismes doivent être introduits dans l'architecture du décodeur.

Une classification des différents niveaux de parallélisme dans le processus de décodage d'un turbocode a été proposée dans [5]. Nous avons décidé d'introduire deux niveaux de parallélisme dans notre solution architecturale. Un premier niveau se situe au niveau des calculs des métriques d'états. Il permet de doubler le débit d'exécution. Le second niveau est quant à lui un parallélisme de sous-blocs qui consiste à diviser chaque trame en plusieurs sous-blocs. Il est ensuite possible d'associer les sous-blocs à un ou différents décodeurs. Cette approche implique l'initialisation des métriques d'états car les extrémités des sous-blocs ne disposent pas d'information sur les récursions. Pour ce faire, différentes approches ont été proposées dans le cas des turbocodes [6]. L'extension du parallélisme de sous-blocs et des méthodes d'initialisation a été investigué dans le contexte du récepteur itératif étudié. Ce travail a permis de définir la taille minimale acceptable pour les sous-blocs à savoir 32. Elle a également permis d'évaluer l'impact des différentes techniques d'initialisation et de s'orienter sur une méthode combinée comme expliqué dans [6]. Le choix d'une solution architecturale comprenant un parallélisme de sous-blocs de taille 32 favorise la maîtrise du coût en terme de mémoire du décodeur. En effet, la taille de la mémoire nécessaire au calcul des métriques d'états est inférieure de 95 % à celle obtenue dans l'approche sans parallélisme.

Le décodeur à entrées et sorties souples est détaillé dans la figure 3. Il se compose de quatre blocs pour le calcul des métriques de branches et d'états dans les deux sens de parcours du treillis. Un bloc supplémentaire permet de calculer les sorties souples et les décisions de décodage. Par ailleurs, trois mémoires internes sont nécessaires. Elles

servent à stocker les entrées souples, les métriques d'états pour un sous-bloc de taille 32 et les valeurs d'initialisation des métriques d'états.

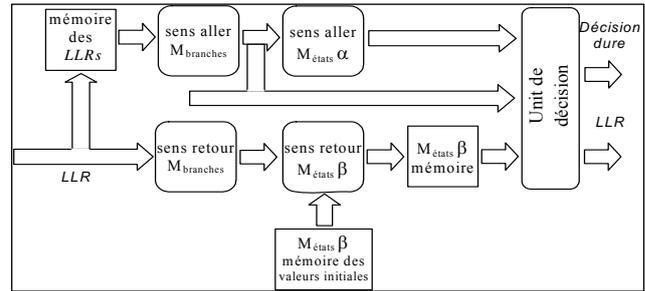


FIG. 3 : schéma de l'architecture du décodeur

2.3 Entrelaceur régulier

Une dernière étude a concerné la définition d'entrelaceurs réalistes. En effet, les études algorithmiques préalables ne considéraient que des entrelaceurs aléatoires. La conception d'un récepteur itératif a donc nécessité la recherche d'entrelaceurs ayant des performances s'approchant de celles d'un système théorique avec entrelacement aléatoire. Nous avons retenu un entrelaceur régulier qui consiste à effectuer une permutation entre des couples de variables de manière circulaire suivant une loi donnée [7]. Nous avons associé cet entrelaceur régulier à un entrelaceur classique ligne-colonne. Ce dernier a pour rôle de s'assurer que les bits corrélés par le codeur de canal soient transmis dans des blocs spatio-temporels différents. Il est à noter que l'utilisation d'un entrelaceur réaliste introduit des dégradations au niveau des performances du récepteur itératif. En effet, une dégradation de 0.5 dB pour un taux d'erreurs trame de 10^{-3} a été constatée en simulation. Cela signifie que la définition d'un entrelaceur réaliste pour un récepteur itératif est cruciale puisqu'il introduit des dégradations notables par rapport aux performances théoriques.

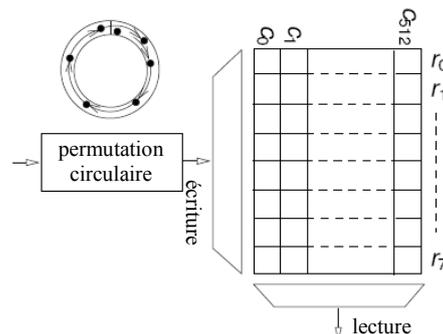


FIG. 4 : schéma de l'entrelaceur régulier

3. Implémentation et prototypage sur circuit FPGA

Les résultats de synthèse logique des blocs constituant le récepteur itératif sont donnés dans cette section. Puis, nous présentons le prototype matériel que nous avons développé. Celui-ci a pour objectif de démontrer les capacités en terme de performance et de complexité matérielle d'un récepteur itératif pour un système MIMO.

3.1 Résultats de synthèse logique

Les architectures du détecteur souple et du décodeur souple ont été synthétisées pour le circuit FPGA Xilinx Virtex5 LX330. Le tableau 1 donne les résultats de synthèse logique pour ces deux éléments. Une synthèse sans utilisation de multiplieurs embarqués a été effectuée pour le détecteur afin de comparer sa complexité avec celle du décodeur. De plus, une synthèse d'un décodeur sans parallélisme a été réalisée pour évaluer l'impact des parallélismes introduits. Nous constatons une complexité matérielle raisonnable pour les deux fonctions.

TAB. 1 : Résultats de synthèse logique pour le détecteur et le décodeur à entrées et sorties pondérées

circuit FPGA Virtex5 LX330	Détecteur souple		Décodeur souple	
	multiplieurs embarqués	multiplieurs à base de LUT	sans parallélisme	avec un parallélisme de 32 sous-blocs
slice Flip-Flops	793 (< 1%)		2421 (1%)	3913 (1%)
slice LUTs	2499 (1%)	11301 (5%)	11509 (5%)	15745 (7%)
mémoire en bits	51000		11*64*2048	11* (64*64+64*32)
multiplieurs	61 (31%)	0	0	0
fréquence en MHz	60	75	80	80
débit en MLLR/s	240	300	80	160

3.2 Prototypage d'un récepteur MIMO 2X2 itératif

Une chaîne de communications numériques comprenant un émetteur MIMO avec précodage linéaire, un émulateur de canal MIMO et le récepteur itératif a été implémentée sur un circuit FPGA. Pour ce faire, la plate-forme DN9000K10PCI de la société DiniGroup a été utilisée. Ce travail a nécessité le développement d'un émulateur matériel de canal MIMO. Il est basé sur la génération de variables aléatoires gaussiennes suivant la méthode Wallace [8]. Au niveau du récepteur, 4.5 itérations sont effectuées sur l'ensemble détecteur-décodeur. Le débit en entrée du récepteur est alors de $150/4.5 = 33.33$ Msymbole/s pour une fréquence de 75 MHz. Le débit utile en sortie est donc de $33.33 * 0.5 * 2 = 33.33$ Mbit/s car le code correcteur d'erreurs a un rendement de 0.5 et la transformation bit/symbole est de type quadrature. L'étape de prototypage a permis de s'assurer du fonctionnement du récepteur itératif pour un système MIMO 2x2. Ainsi des performances en terme de taux d'erreur trame ont été mesurées après 4.5 itérations au niveau du récepteur. La figure 5 contient la courbe résultante ainsi que celle qui a été simulée au niveau algorithmique. Les deux courbes présentent des allures similaires. La courbe des performances mesurées à partir de la chaîne de communications numériques implémentée sur circuit FPGA présente une dégradation de 0.5 dB pour un taux d'erreur trame de 10^{-1} . Cette dégradation s'atténue ensuite autour de 10^{-2} .

Conclusion

Une architecture matérielle pour un récepteur itératif comprenant un détecteur et un décodeur qui échangent des informations souples a été détaillée dans cet article. Ce travail a permis de démontrer la faisabilité d'un turbo-

détecteur pour un système MIMO avec précodage linéaire. En effet, les performances en terme de FER de l'architecture proposée ont été mesurées lors du prototypage. En outre, le rôle critique de la fonction d'entrelacement a été mis en évidence. Des investigations sont actuellement menées pour introduire de la flexibilité dans l'architecture du récepteur itératif au niveau du nombre d'antennes et de l'ordre de la modulation numérique.

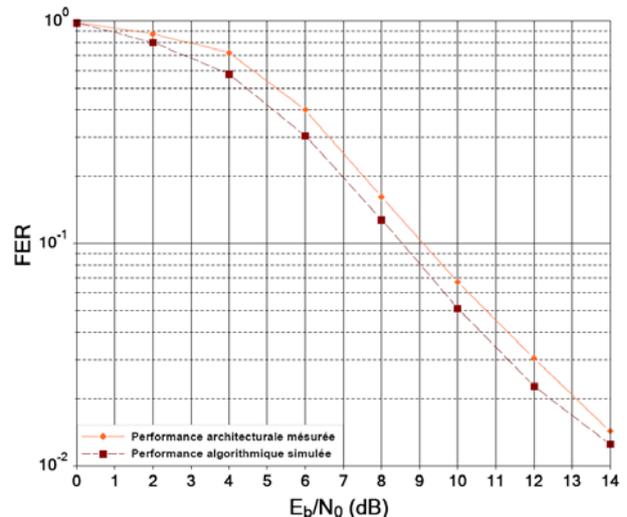


FIG. 5 Performances du récepteur MIMO 2x2 itératif

Références

- [1] J. Le Masson, "Systèmes de transmission avec précodage linéaire et traitement itératif. Application à l'OFDM et aux techniques MIMO", Thèse de doctorat, Université de Bretagne Sud, soutenue le 19 décembre 2005.
- [2] L. Boher, R. Rabineau, and M. Helard, "FPGA Implementation of an Iterative Receiver for MIMO-OFDM Systems", IEEE Journal on Selected Areas in Comm., vol. 26, no. 6, pp. 857–866, Aug 2008.
- [3] D. Karakolah, C. Jégo, C. Langlais, and M. Jézéquel, "Architecture dedicated to the MMSE equalizer of iterative receiver for linearly precoded MIMO systems", ICTTA 2008: 3rd IEEE international conference on information and communication technologies: from theory to applications, Damascus, Syria, Apr 2008, pp. 1–6.
- [4] L. Bahl, J. Cocke, F. Jelinek, and J. Raviv, "Optimal decoding of linear codes for minimizing symbol error rate (corresp.)", IEEE Trans. on Inf. Theory, vol. 20, no. 2, 1974.
- [5] O. Muller, A. Baghdadi, and M. Jézéquel, "Exploring Parallel Processing Levels for Convolutional Turbo Decoding," ICTTA'06, vol. 2, pp. 2353–2358, Apr 2006.
- [6] D. Karakolah, C. Jégo, C. Langlais, and M. Jézéquel, "Design of an Iterative Receiver for Linearly precoded MIMO Systems", ISCAS09: IEEE International Symposium on Circuits And Systems, 24-27 May, Taiwan, May, 2009.
- [7] C. Berrou, Y. Saouter, C. Douillard, S. Kerouedan, and M. Jezequel, "Designing good permutations for turbo codes: towards a single model," IEEE Int. Conf. on Com., vol. 1, 2004.
- [8] O. Sanchez Gonzalez, M. Arzel, C. Jégo, A. Garcia, M. Guerrero, "Design and implementation of a MIMO channel emulator onto FPGA device", IWS'09: XV proyecto Iberchip, 25-27 March, Buenos Aires, Argentina, 2009.