

# Architecture reconfigurable CBDRA basée sur l'opérateur CORDIC pour le traitement du signal: Applications aux récepteurs MIMO

Hongzhi WANG, Pierre LERAY, Jacques PALICOT

IETR/SUPELEC, Campus de Rennes  
Av. de la Boulais, CS 47601, 35576 CESSON-SEVIGNE, CEDEX, France  
hongzhi.wang, pierre.leray, jacques.palicot@supelec.fr

**Résumé** – Face aux besoins des systèmes de communication, les solutions traditionnelles ne sont plus suffisantes pour atteindre des performances élevées en débit et supporter les évolutivités des futurs systèmes. Nous proposons donc une architecture reconfigurable à base d'opérateur CORDIC pour les applications du traitement de signal, en particulier pour les récepteur MIMO. L'architecture est reconfigurable pour réaliser les différentes structures de récepteurs MIMO. Le nombre d'opérateurs CORDIC peut être changé par la reconfiguration statique pour s'adapter aux différents récepteurs MIMO et aux différents débits demandés. Une équation est établie pour obtenir une architecture optimale. Les interconnexions entre les opérateurs CORDIC peuvent être modifiées par la reconfiguration partielle et dynamique de FPGA afin d'optimiser les ressources matérielles. Trois exemples de récepteurs MIMO sont réalisés sur l'architecture reconfigurable CBDRA: V-BLAST Square Root, MMSE et CMA. L'utilisation de CBDRA permet de diminuer les ressources matérielles sans dégrader leur performance en terme de TEB.

**Abstract** – This article addresses the realization of reconfigurable architectures to answer the communication system requirement like high performance on data rate and flexibility supporting the evolution of future systems. We are particularly interested in MIMO applications. The proposed architectures use CORDIC (COordinate Rotation DIgital Computing) operator as common operator. Also the static and partial reconfiguration of FPGA is performed in view of an optimization and dynamic adaptation of hardware resources according to communication system specifications. The number of CORDIC operators can be changed by static reconfiguration to adapt to different MIMO receivers and different required data rate. The interconnections between CORDIC operators can be changed by partial and dynamic FPGA reconfiguration to optimize the hardware resources. The impact of step number of CORDIC operator on BER and MSE is also studied. Three MIMO receivers are realized in this architecture: V-BLAST Square Root, MMSE and CMA. The use of these architectures allows reducing the hardware resources without BER and MSE degradation.

## 1 Introduction

L'évolution des systèmes de communication dans le domaine du traitement du signal, demande des algorithmes de plus en plus complexes, nécessitant des puissances de calculs au delà des performances des processeurs actuels (GPP,DSP). Il est donc difficile d'atteindre des performances élevées en débit. La solution traditionnelle ASIC, quant à elle, ne supporte pas les évolutivités des futurs systèmes. Aujourd'hui l'émergence d'un nouveau type d'architecture, l'architecture reconfigurable, offre une solution intermédiaire où la flexibilité de la programmation et la puissance de calcul des architectures spécialisées sont alliées. Les FPGA sont les circuits reconfigurables les plus répandus et disponibles sur le marché. Ils offrent la possibilité de concevoir des architectures intégrant des processeurs embarqués, de large capacité mémoire et des accélérateurs dédiés.

La technique MIMO découverte en 1996 par les chercheurs de Bell Labs [1] reste la plus prometteuse, elle peut augmenter d'une manière substantielle l'efficacité spectrale. Cette technique a reçu beaucoup d'intérêt ces dernières années et a donné lieu à de nombreux travaux. Parmi les difficultés engendrées

par cette technique, l'implémentation des algorithmes de démodulation des signaux MIMO est un sujet d'actualité.

L'algorithme CORDIC, (acronyme de COordinate Rotation DIgital Computing) créé à l'origine par J.E.Volder [2] est une méthode simple et efficace pour le calcul d'une gamme de fonctions complexes basées sur la trigonométrie. L'utilisation de l'opérateur CORDIC présente également de nombreux avantages pour l'intégration au niveau purement architectural par son excellente adaptation aux contraintes des VLSI. En effet, il fait l'objet d'un regain d'intérêt depuis plusieurs années car il peut être considéré comme un opérateur générique pouvant être utilisé dans un grand nombre d'algorithmes classiques de traitement du signal [3]. Nous nous sommes donc particulièrement intéressés aux circuits reconfigurables et à leur mise en oeuvre pour une architecture reconfigurable aux applications de traitement du signal, en particulier des systèmes MIMO.

La suite de l'article est structurée de la manière suivante : la section 2 présente l'architecture reconfigurable CBDRA. La section 3 décrit l'application de l'architecture CBDRA pour des récepteurs MIMO. La section 4 détaille l'implémentation de l'architecture CBDRA avec la reconfiguration dynamique

partielle de FPGA, ainsi que le résultat de la synthèse. Enfin, la section 5 conclue l'article.

## 2 Architecture reconfigurable CBDRA

Nous proposons ici une architecture CBDRA (CORDIC Based Dynamically Reconfigurable Architecture) matérielle reconfigurable à base d'opérateurs CORDIC pour réaliser ces applications du traitement de signal. Dans cette architecture, le nombre d'opérateurs CORDIC s'adapte aux caractéristiques des applications pour une implémentation optimale. Nous utilisons la reconfiguration statique de FPGA pour changer le nombre d'opérateurs CORDIC à utiliser et modifions les interconnexions entre les opérateurs CORDIC par la reconfiguration dynamique afin d'optimiser les ressources matérielles. Nous pouvons obtenir une architecture optimale en étant guidé par les relations qui doivent liées les caractéristiques de la chaîne de traitement et l'architecture du décodeur.

La complexité du traitement peut être exprimée par le nombre d'opérations CORDIC  $NC_{total}$  à effectuer sur le bloc de données. Pour garantir le traitement continu, le temps maximal  $T_C$  nécessaire pour réaliser ce traitement doit rester inférieur au temps d'acquisition  $T_{acq}$  du bloc de données. Cette inégalité  $T_C \leq T_{acq}$  permet d'atteindre le nombre de CORDIC optimal garantissant un traitement temps réel du flot de données. L'opération CORDIC nécessite un temps de calcul  $T_{CORDIC}$ . Une implémentation pipeline à  $N_p$  étages de cet opérateur permet de réduire ce temps.

$$NC_{utilisé} \geq \frac{NC_{total} \times (T_{CORDIC}/N_p + T_{Reconfiguration})}{T_{acq}} \quad (1)$$

Il faut noter que le temps de reconfiguration correspond au temps de changement des interconnexions entre les opérateurs CORDIC. Il peut être dû au temps de sélection par des multiplexeurs ou au temps de reconfiguration dynamique de la partie reconfigurable du FPGA.

Dans l'application MIMO, le temps d'acquisition  $T_{acq}$  est fonction du débit symbole et de la durée de la stationnarité du canal. La longueur du temps de stationnarité correspond au nombre de symboles transmis pendant lequel le canal est stationnaire. Cette inéquation prend la forme suivante:

$$NC_{utilisé} \geq \frac{(NC_{total} \times F_s) \times (1/freq + T_{Reconfiguration})}{N_{symboles/H}} \quad (2)$$

Avec  $F_s = Débit_{symbole}/(M \times b)$ , Freq est la fréquence horloge déterminée par la cadence de calcul CORDIC.

L'architecture CBDRA peut être schématisée par la figure 1. L'architecture se décompose en trois niveaux: le gestionnaire de l'architecture, le contrôleur de configuration et le bloc de traitement. Le gestionnaire de l'architecture est chargé de résoudre les équations établies dans le paragraphe précédent en fonction des caractéristiques du système. Ensuite les paramètres

obtenus sont envoyés vers le contrôleur de configuration qui est l'entité responsable du chargement des fichiers de configuration (bitstreams) dans le plan mémoire du FPGA via une interface de configuration. Le bloc de traitement est bâti autour d'un contrôleur de traitement, de ressources de mémorisation, d'un ensemble d'opérateurs CORDIC et des interconnexions. Le contrôleur des tâches est chargé de la gestion de l'architecture. Il a pour but d'assurer le bon ordonnancement des traitements. Le nombre d'opérateurs CORDIC est modifié par la reconfiguration statique. Les contrôleurs des tâches sont différents pour les configurations. Ils sont donc modifiés de façon statique. La mémoire est réalisée sous forme d'un banc de registres de 16 bits avec accès en un cycle. Le nombre de registres varie en fonction du nombre d'opérateurs CORDIC en parallèle. Par exemple, nous avons utilisé 18 registres de 16 bits pour une réalisation de 3 opérateurs CORDIC en parallèle.

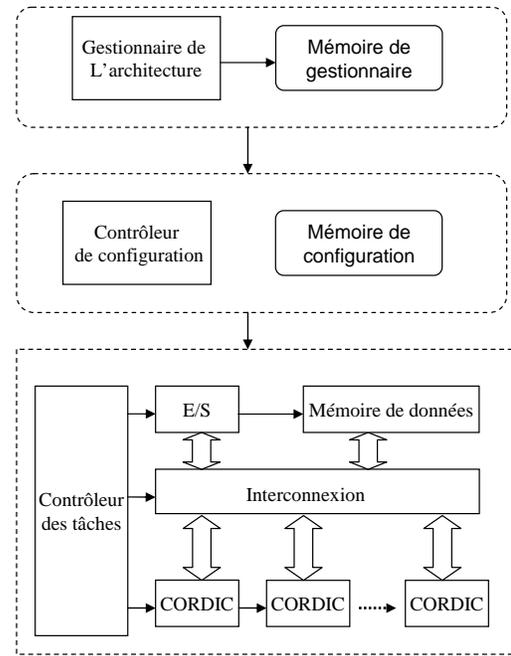


FIG. 1: Architecture de CBDRA

## 3 Application de l'architecture CBDRA pour des récepteurs MIMO

### 3.1 Algorithme V-BLAST Square Root

Le principe de l'algorithme du récepteur V-BLAST a été présenté dans [1]. Il s'agit d'un égaliseur à retour de décision, adapté à la structure des systèmes MIMO. B.Hassibi présente en 2000 l'algorithme "V-BLAST Square Root" [4] qui permet de diminuer la complexité de  $O(M^4)$  à  $O(M^3)$  sans dégrader le TEB, dans le cas où  $M=N$ . La structure de la transformation unitaire

est utilisée dans cet algorithme pour effectuer les décompositions QR de la matrice du canal H. Ce qui permet de mettre en oeuvre l'opérateur CORDIC.

L'opérateur CORDIC est utilisé pour effectuer les rotations de Givens dans cet algorithme. Nous montrons ici un exemple de résolution de l'inéquation précédente. Avec l'inéquation (2), nous pouvons calculer exactement le nombre d'opérateurs CORDIC nécessaire pour s'adapter aux débits donnés en diminuant la complexité. Lorsque le débit demandé change, nous pouvons modifier le nombre d'opérateurs CORDIC ainsi que leurs interconnexions. Par exemple, si nous définissons une trame comme un paquet de 7 symboles ( $N_{\text{symboles}}/H = 7$ ), alors, pour atteindre 600 Mbits/s, le nombre optimal d'opérateurs CORDIC est 5 dans le calcul de la décomposition QR de la matrice du canal H, en supposant que la fréquence de fonctionnement d'un opérateur CORDIC est de 150 MHz sur un système MIMO de 2 antennes avec modulation QPSK. Les calculs de  $P^{1/2}$  et de  $Q_{\alpha}$  peuvent être alors exécutés par 5 opérateurs CORDIC en parallèle en 7 cycles. Les 5 CORDIC sont utilisés de façon itérative. L'organisation des calculs est illustrée sur la figure 2. Il est nécessaire de stocker les données pour éviter la perte des données. Nous utilisons dans cette architecture les registres pour les stockages des données.

Dans cette architecture, les opérateurs CORDIC sont utilisés en mode itératif. Mais chaque opérateur utilise une structure pipeline de 15 étages. Il faut noter que pour bénéficier de l'efficacité d'une structure pipeline CORDIC, le délai de traitement est de  $N_p \times N_{\text{symboles}}/H$ .

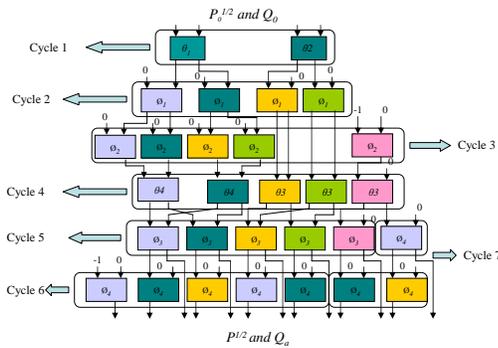


FIG. 2: utilisation itérative de 5 CORDIC

La figure 3 présente la comparaison de TEB entre l'algorithme V-BLAST classique et V-BLAST Square Root utilisant l'opérateur CORDIC pour MIMO  $2 \times 2$  avec modulation 4-QAM. Leurs performances en terme de TEB sont identiques, ce qui montre que notre architecture est applicable à l'algorithme V-BLAST Square Root. Il faut noter que ce résultat confirme non seulement que l'algorithme V-BLAST square root ne dégrade pas le TEB (indiqué par B.Hassibi) mais aussi montre que l'utilisation de l'opérateur CORDIC permet de garder la même performance et diminuer la complexité d'implémentation.

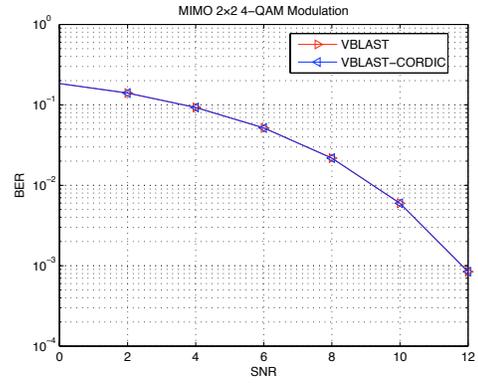


FIG. 3: Taux erreur binaire: Constellation 4-QAM.

### 3.2 Algorithmes MMSE et CMA

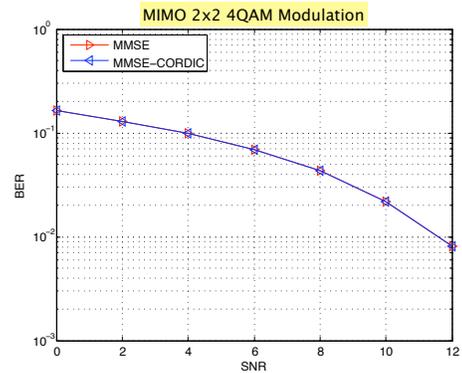


FIG. 4: Taux erreur binaire: Constellation 4-QAM.

Nous appliquons aussi l'architecture CBDR à d'autres algorithmes de décodage MIMO tels que les algorithmes MMSE et CMA. L'algorithme MMSE utilise la même méthode que l'algorithme V-BLAST Square Root pour effectuer les opérations CORDIC. Les transformations unitaires dans l'algorithme MMSE sont effectuées par l'opérateur CORDIC pour éviter les calculs de pseudo-inverse de la matrice du canal H. Cela permet de diminuer la charge de calcul sans dégrader le TEB. Les résultats de simulation sur la figure 4 confirme cette étude théorique.

Nous avons développé dans l'algorithme CMA une étape intermédiaire qui permet de mettre en place les opérations CORDIC en remplaçant les opérations classiques telles que les multiplications. La figure 5 représente l'évolution du SINR en fonction des itérations pour l'algorithme adaptatif SG-CMA et celui utilisant l'opérateur CORDIC. On observe que l'algorithme SG-CMA utilisant CORDIC converge à la même vitesse que l'algorithme SG-CMA; à partir de 4500 symboles, la courbe devient stable.

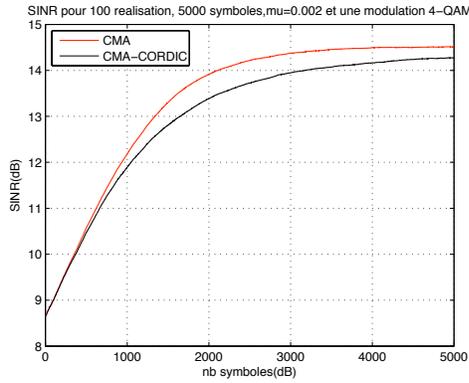


FIG. 5: Le SINR en fonction des itérations.

## 4 Architecture CBDRA et reconfiguration dynamique des interconnexions

L'architecture CBDRA utilisant la reconfiguration dynamique est illustrée par la figure 6. Elle peut se décomposer en deux parties. La première partie est la partie fixe où les opérateurs CORDIC, les multiplieurs et les additionneurs sont implémentés. La deuxième partie est définie dans des régions reconfigurables d'un FPGA permettant d'accueillir des modules reconfigurables. Dans notre cas, les modules reconfigurables réalisent les interconnexions des opérateurs CORDIC. Les deux parties sont reliées par un Bus Macro (BM) pour assurer que les signaux entre partie fixe et partie reconfigurable seront bien interconnectés après l'opération de reconfiguration partielle.

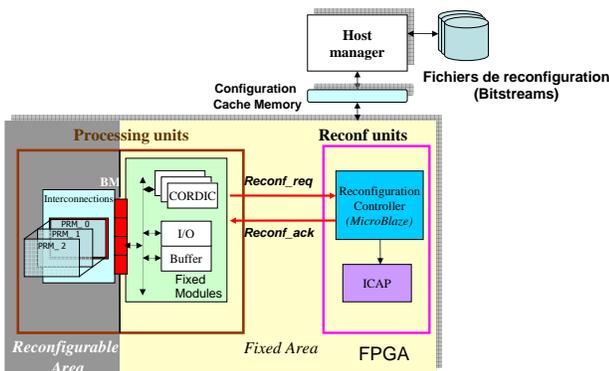


FIG. 6: Architecture CBDRA avec reconfiguration dynamique

Les fichiers de reconfiguration sont stockés dans la mémoire de Host. Les chargements des bitstreams sont gérés par le Host. Une première étape d'initialisation pendant laquelle le Host envoie le bitstream total au FPGA permet d'implémenter dans le composant le système global ainsi que le contrôleur de reconfiguration constitué notamment d'un module à base de MicroBlaze et de la primitive ICAP (Internal Configuration Port Access). Ensuite les contextes des interconnexions sont changés

TAB. 1: Résultats des synthèses du décodeur V-BLAST SRA

FPGA	Nb de CORDIC	Slices	% surface	Fréq (MHz)	Débit (Mb/s)	Canal
Virtex-4	4(3+1V)	2857	3%	159	150	1ms

par les reconfigurations. Lors d'une reconfiguration, seul le bitstream partiel correspondant au contexte du module reconfigurable est rechargé. La taille du bitstream partiel est fortement réduite par rapport à celle du bitstream total permettant de diminuer le temps de reconfiguration.

Les signaux de contrôle de type request/acknowledge (*Reconf\_req* et *Reconf\_ack* dans la figure 6) permettent de contrôler la configuration du composant et de maintenir l'état des interfaces de transfert de données au cours d'une reconfiguration. Le tableau 1 résume les résultats de synthèse de l'architecture CBDRA pour le décodeur V-BLAST SRA avec 3 opérateurs CORDIC en mode rotation en parallèle et un opérateur CORDIC en mode vecteur. En utilisant un FPGA de Xilinx Virtex-4 pour effectuer la reconfiguration dynamique, la performance du décodeur reste correcte.

## 5 Conclusion

Nous avons proposé une architecture reconfigurable à base d'opérateur commun CORDIC, nommée CBDRA, pour répondre aux besoins de la multitude des standards de communication. Le système MIMO V-BLAST a été étudié en appliquant cette architecture CBDRA. Cette architecture est reconfigurable en supportant différents nombres d'antennes, différents types de modulations et de propagation. La reconfiguration dynamique est utilisée dans l'architecture du décodeur MIMO V-BLAST Square Root, afin d'optimiser les ressources matérielles. Deux autres algorithmes MIMO sont analysés afin de montrer la possibilité d'utiliser cette architecture pour différents algorithmes.

## References

- [1] G. J. Foschini, "Layered space-time architecture for wireless communication in a fading environment when using multi-element antennas," *Bell Labs Technical Journal*, pp. 41–57, Autumn 1996.
- [2] J. Volder, "The cordic trigonometric computing technique," *IRE Transactions on Electronic Computers*, vol. EC-8, no. 3, pp. 330–334, 1959.
- [3] G. Privat and M. Renaudin, "L'algorithme cordic dans les architectures spécialisées de traitement numérique du signal," *Traitement du Signal Journal*, vol. 5, no. 6, 1988.
- [4] B. Hassibi, "An efficient square-root algorithm for BLAST," in *Proceedings. 2000 IEEE International Conference on Acoustics, Speech, and Signal Processing: ICASSP '00, 5–9 June 2000*, vol. 2, 2000, pp. II737–II740.