

NEUVIEME COLLOQUE SUR LE TRAITEMENT DU SIGNAL ET SES APPLICATIONS

NICE du 16 au 20 MAI 1983

CIRCUITS INTEGRES MODULAIRES POUR LE TRAITEMENT DU SIGNAL

H. BARRAL (*) N. MOREAU (**) D. NGUYEN HUU (*) P. SAUVEE (**)

* THOMSON-CSF
Laboratoire Central de Recherches
Groupe Communication Homme-Machine
Domaine de Corbeville BP 10
91401 ORSAY

** Ecole Nationale Supérieure des Télécommunications
46, rue Barrault
75634 PARIS Cedex 13

RESUME

On présente une étude préliminaire concernant trois circuits de traitement du signal actuellement en cours de conception :

- un corrélateur
- un filtre en treillis MA
- un filtre en treillis AR

Nous avons voulu nous démarquer de la démarche suivie habituellement par les concepteurs de processeurs de traitement de signal. Celle-ci consiste à essayer de faire rentrer un gros multiplieur parallèle dans un circuit, tout en conservant les fonctionnalités d'un microprocesseur standard, quelque peu réduites, il est vrai, pour éviter une surface prohibitive. Ce multiplieur unique est ensuite partagé par plusieurs tâches.

En ce qui nous concerne, nous distinguons, dans un algorithme, une partie de calcul répétitive, d'une partie de contrôle lente. Il nous paraît plus adapté d'implanter la partie calcul dans des circuits spécialisés et de contrôler l'ensemble par un microprocesseur.

Il nous apparaît également très important de pouvoir disposer de plusieurs multiplieurs et de les faire communiquer. Ceci permet de réaliser simplement des architectures systoliques. Mais, étant donné des problèmes de place et de largeur de bus, on s'est orienté vers un multiplieur série / parallèle qui présente également l'avantage d'avoir le même débit qu'un additionneur série. Suivant la technologie employée, il sera possible de placer 8 à 16 multiplieurs / accumulateurs dans un même boîtier. La connexion entre ces opérateurs se fait par une seule ligne et détermine la fonction réalisée.

SUMMARY

The authors present three special-purpose circuits being designed for the following signal processing functions :

- a correlator
- an MA lattice filter
- an AR lattice filter

The approach departs from the traditional one embodied by popular DSP's. It is based upon the analysis that the execution of signal processing algorithms consists generally of a strongly repetitive calculation on one hand and a relatively slow control logic on the other hand. The control part can then be taken in charge by a standard microprocessor system while the repetitive part must be implemented by specialized circuits in order to gain speed.

The methodology aimed at the construction of a small number of building blocks that can later be assembled in different ways to implement in silicon a whole class of digital signal processing algorithms. One of these building blocks is a serial-parallel multiplier that is to be duplicated a number of times inside the three chips to perform parallel multiplications.



INTRODUCTION

Le traitement du signal exige des possibilités de calcul importantes aussi bien en terme de volume de données que de vitesse. On peut estimer la puissance de calcul nécessaire au traitement du signal audio en temps réel à un million de multiplications / additions par seconde et ce chiffre est bien deçà des besoins du signal radar ou du traitement d'image.

Ces traitements sont souvent réalisés par des machines spécialisées. Celles-ci ont été construites à base de systèmes microprogrammés. Elles utilisent actuellement des microprocesseurs 16 bits et des processeurs de traitement du signal intégrés.

L'évolution de ces machines est plus caractérisée par une intégration très poussée que par un renouvellement de leurs structures. On ne semble pas avoir pris en compte les contraintes imposées par l'intégration et il n'apparaît pas toujours que cette intégration ait entraîné de réelles modifications des algorithmes de traitement du signal.

Ainsi, au niveau matériel, la seule spécificité de ces systèmes semble être l'existence d'un multiplieur parallèle-parallèle 16 bits par 16 bits alimenté par deux RAM adressables séparément.

Cette structure pose des problèmes :

- de place (le multiplieur est gros),
- de connectique (connexion de bus de 16 à 24 bits sur le circuit, nombre de plots limité pour communiquer avec l'extérieur),
- de séquençement (la multiplication est plus longue que les autres opérations, on utilise alors une structure pipe-line qui complique la microprogrammation).

1. METHODOLOGIE

Au niveau algorithmique et système, les machines classiques disposent de structures de contrôle et des fonctionnalités d'un microprocesseur standard ; nous préférons distinguer dans un algorithme la partie calcul répétitive et rapide de la partie contrôle souvent lente et réaliser cette dernière sur un microprocesseur standard, alors que la première fait l'objet de circuits spécifiques.

De plus, les architectures traditionnelles sont peu adaptées à la constitution de réseaux de processeurs hautement concurrents, or la plupart des algorithmes en traitement du signal ont des propriétés très intéressantes de régularité, de récursivité, de "systolisme", implantables en VLSI.

Nous avons voulu réaliser, sous forme de circuits spécialisés, plusieurs fonctions de base nécessaires dans un grand nombre d'applications, ces circuits étant réalisés à partir d'un petit nombre de briques élémentaires communes connectées différemment.

Ceci nous semble une démarche possible pour

- réduire les temps de conception (briques communes),
- réduire les coûts de production (fonctions de base).

Pour pouvoir "implanter" véritablement un algorithme dans du silicium en conservant toutes les propriétés de l'algorithme, notre démarche est d'affecter à chaque opération un opérateur comme nous avons affecté un circuit à chaque fonction. Il faut pouvoir

alors disposer d'opérateurs petits, connectables aisément ; ceci est possible avec une approche série-parallèle.

Les fonctions de base retenues pour l'instant sont :

- un opérateur de corrélation

On retrouve très souvent cette fonction de calcul comme étape initiale dans une procédure de reconnaissance des formes ; elle réalise l'opération de condensation de l'information avant de procéder à un traitement plus élaboré. On la retrouve également en codage / transmission de la parole, d'une façon générale dans les systèmes à base de prédiction linéaire.

- un opérateur de filtrage

On a choisi de réaliser des filtres sous la forme treillis. En effet, ces filtres possèdent des propriétés intéressantes de normalisation des coefficients, de faible distorsion due à leur troncature, d'arrangement optimal des différentes cellules, ...

Les deux formes AR et MA sont dessinées en figures 3 et 4.

Ces circuits existent déjà, mais sous forme très spécialisée (filtre AR d'ordre 10, nombre de bits réduit, vitesse faible, adaptation à la synthèse de la parole).

Nous avons défini des circuits cascadables ayant une vitesse de traitement indépendante de l'ordre de la fonction d'intercorrélation ou de l'ordre du filtre. Le séquençement est volontairement très réduit, il est juste commandé par le flot des informations.

Ces différentes fonctions se résument toujours à des suites de multiplications additions. Cette opération sera donc une brique élémentaire que nous allons décrire.

2. MULTIPLIEUR SERIE PARALLELE

Nous avons voulu concevoir un multiplieur simple sans grande innovation mais facile à utiliser.

Nous avons donc rejeté les structures "carry look ahead" et Booth 3 bits pour retenir une structure "carry save" avec un décodage de Booth sur 2 bits en faisant travailler ce multiplieur autant de cycles que l'on désire obtenir de bits significatifs. Ce multiplieur "carry save" est suivi par un additionneur supplémentaire qui permet d'éviter un additionneur soustracteur en utilisant un algorithme de Booth modifié sur deux bits U et V.

Le multiplieur se présente comme un vecteur d'additionneur "carry save" de dimension égale au nombre de bits du multiplicande plus un.

Le séquençement se réduit à une commande initiale qui fait $V=0$ et la commande d'entrée du bit U.

Le nombre de bits du résultat n'est pas fixé au niveau du multiplieur mais dans le contrôle du flot des données.

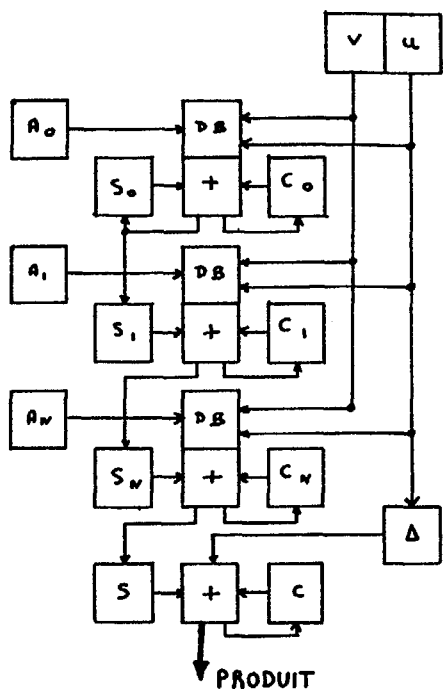


Fig. 1 - Multiplieur

Chaque partie opérative possède sa propre horloge resynchronisée avec celle des autres parties opératives.

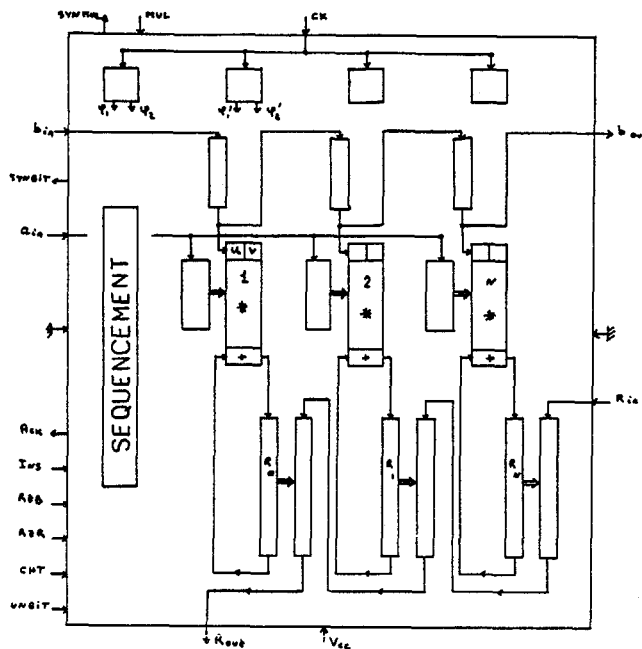


Fig. 2 - Corrélateur

3. CORRELATEUR

3.1 Fonction à réaliser

On désire calculer la fonction d'intercorrélacion :

$$R_i = \sum_{n=0}^{N-1} A(n) * B(n-i) \text{ pour } i = 0, \dots, P-1$$

Comme on désire réaliser ce calcul en temps réel, pour chaque nouvel échantillon A(n) et B(n) on effectue P opérations :

$$R_i(n+1) = R_i(n) + A(n) * B(n-i)$$

3.2 Schéma fonctionnel

Il est assez naturel de considérer A(n) sous forme parallèle, B(n) sous forme série. En effet, dans ce cas le vecteur des échantillons B(n) ... B(n-P+1) est très facile à réaliser, c'est un simple registre à décalage.

L'intérêt de cette forme est surtout de permettre un cascading très simple de plusieurs circuits : l'ordre de la corrélation n'est pas figé. Ce circuit d'intercorrélacion possède donc deux entrées "signal" : une correspondant à A(n), une autre correspondant à B(n) et deux sorties : une correspondant à B(n-P). la seconde permettant la lecture des résultats, cette lecture se faisant de façon série asynchrone sans arrêter le traitement de nouvelles données.

Le circuit se décompose en P parties opératives (P est fonction de la surface disponible).

Chaque partie comprend :

- un registre à décalage B,
- un multiplieur et un additionneur,
- un registre d'accumulation que l'on peut transférer dans un registre de sortie sur une commande externe.

3.3 Spécifications du circuit, Performances

On a choisi les paramètres suivants :

- échantillons sur 12 bits en complément à deux,
- 11 coefficients de corrélation par circuit, mais les circuits sont cascadables directement broche à broche,
- résultat signé sur 32 bits ce qui donne une accumulation sans débordement sur 512 échantillons.

Les caractéristiques du circuit sont (cas d'une technologie HMOS de longueur de canal 2 microns) :

- surface de 20 mm²,
- consommation inférieure à 0,5 watt
- fréquence d'échantillonnage maximum supérieure à 150 KHz
- nombre de plots limité à 18.

4. FILTRE EN TREILLIS MA OU AR

4.1 Calculs à réaliser

Dans le cas du filtre MA, il est nécessaire de faire, à chaque instant n, les calculs suivants :

$$S_n^i = S_n^{i-1} + K_i * G_n^{i-1} \text{ pour } i = 1, \dots, P$$

$$G_n^i = G_n^{i-1} + K_i * S_n^{i-1}$$



Pour le filtre AR :

$$S_n^i = S_n^{i-1} - K_i G_n^{i+1}$$

pour $i = 1, \dots, P$

$$G_n^i = G_n^{i+1} + K_i S_n^i$$

4.2 Schéma fonctionnel

Bien que la différence entre les deux réalisations des filtres MA et AR soit très faible, il nous a paru préférable de réaliser deux circuits distincts.

Le circuit (MA ou AR) se décompose en P parties opératives, chacune correspondant à un papillon avec ses deux multiplieurs. Ceci est rendu possible parce que les registres sont moins importants que dans le cas du corrélateur.

Le circuit est cascadable pour obtenir un ordre quelconque.

Le problème de la saturation, nécessaire pour éviter des cycles limités dans le cas AR, a été résolu de la façon suivante :

- saturation au niveau de chaque papillon sur l'onde inverse,
- saturation en fin de circuit sur l'onde directe.

Contrairement au corrélateur où ils étaient synchrones, ici les multiplieurs sont décalés temporellement les uns par rapport aux autres et ils reçoivent leurs données et leurs commandes des tranches voisines.

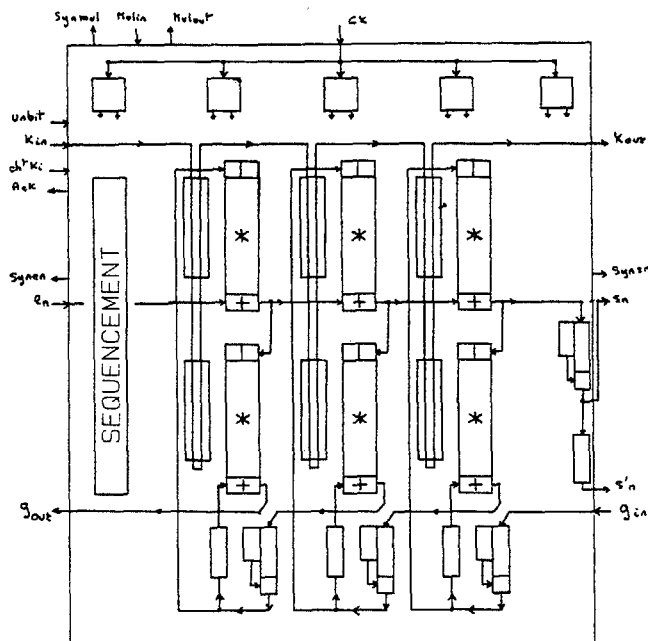


Fig. 3 - Filtre AR

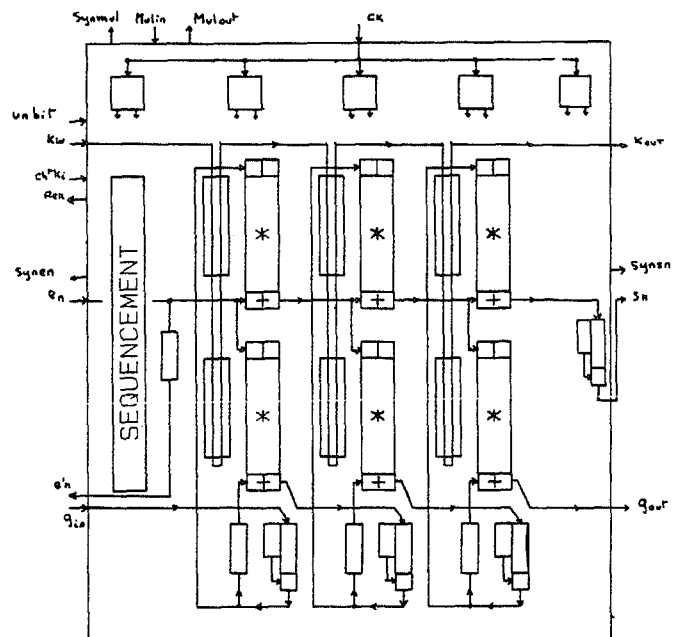


Fig. 4 - Filtre MA

4.3 Spécifications du circuit, Performances

Les coefficients K_i sont codés sur 12 bits et peuvent être chargés dans le filtre de façon série asynchrone sans arrêter les calculs. Le signal est codé sur 16 bits. Un circuit réalise un filtre d'ordre 10, mais ces circuits sont cascadables directement broche à broche.

La surface, la consommation et le nombre de plots sont très comparables à ceux du corrélateur. La fréquence d'échantillonnage maximum est supérieure à 75 KHz.

CONCLUSION

Nous avons défini quelques circuits spécifiques de traitement du signal, à coût de conception réduit, modulaires aussi bien au niveau du circuit (ils sont connectables) qu'au niveau interne (ils sont faits de briques élémentaires communes elles-mêmes modulaires).

Il s'agit, à terme, d'accélérer la création d'outils plus complexes, ou la conception de circuits innovatifs plus spécifiques, par la constitution progressive d'une bibliothèque de structures régulières connues pouvant entrer dans les circuits de traitement du signal. Simultanément, quelques idées pourront être dégagées pour la création d'outils automatiques de compilation et d'assemblage de ces briques de base.

REMERCIEMENTS

Les auteurs veulent remercier M. Jean-Claude BALLEGEER du Laboratoire Central de Recherches de THOMSON-CSF et M. JUTAND du Département EPH de l'E.N.S.T., pour de nombreuses et intéressantes contributions au niveau de la conception.

BIBLIOGRAPHIEVLSI et traitement de signal

SUAN-YUAN KUNG Editor
 Proceedings of USC workshop on "VLSI and modern
 signal processing"
 November 1-3, 1982

H. KUNG
 "Why systolic architectures ?"
 IEEE Computer Volume 15 No.1, January 1982

H. AHMED, J.M. DELOSME, M. MORF
 "Highly concurrent computing structures for matrix
 arithmetic and signal processing"
 IEEE Computer Volume 15 No.1, January 1982

Processeurs traitement du signal

M. HOFF, M. TOWNSEND (INTEL Corp.)
 "Single-chip NMOS microcomputer processes signals
 in real time"
 Electronics, March 1 1979

R. BLASCO (American Microsystems Inc.)
 "VMOS chip joint microprocessor to handle signals
 in real time"
 Electronics, August 30 1979

K. Mc DONOUGH, E. CAUDEL, S. MAGAR, A. LEIGH
 (Texas Instruments)
 "Microcomputer with 32-bit arithmetic does high
 precision number crunching"
 Electronics, February 10 1982

M. CAND, P. LE SCAN, A. ROSET (CNET Grenoble)
 "An integrated processor for adaptive and parallel
 algorithms"
 ICASSP 1982, pp 1069-1072

M. YANO, K. INOVE, T. SENBA (NEC)
 "An LSI digital signal processor"
 ICASSP 1982, pp 1073-1076

Multiplieurs - Traitement série

K. HWANG
 "Computer arithmetic - Principles architecture and
 design"
 Wiley, 1979

S. WASER (Monolithic Memories Inc.)
 "High-speed monolithic multipliers for real time
 digital signal processing"
 IEEE Computer, October 1978

R. MASUMOTO
 "The design of a 16*16 multiplier"
 Lambda First Quarter 1980

L. JACKSON, J. KAISER, H. MACDONALD (Bell Labs)
 "An approach to the implementation of digital
 filters"
 IEEE Trans. on Audio and Electroacoustics, Vol. AU-16
 No.3, September 1968

P. DENYER
 "An introduction to bit-serial architectures for
 VLSI signal processing"
 Document interne Université d'Edinburg,
 September 1982

Corrélateur

F. WILLIAMS (TRW)
 "An expandable single-IC digital filter/correlator"
 ICASSP 1982, pp 1077-1080

J. ELDON (TRW LSI Products)
 "Digital signal processing hits stride with 64-bit
 correlator IC"
 Electronics, July 14 1981

Filtre en treillis

"Algorithmes rapides pour le traitement de systèmes
 dynamiques linéaires"
 Colloque d'Aussois, Septembre 1981

MARKEL, GRAY
 "Linear prediction of speech"
 Springer-Verlag, 1976

R. WIGGINS, L. BRANTINGHAM (Texas Instruments)
 "Three chip system synthesizes human speech"
 Electronics, August 31 1978

J. MAJOS
 "En avant-première, trois nouveaux LSI au CNET
 Lannion"
 TLE - No.455 - Juin 1980

H. AHMED, M. MORF, D. LEE, P. ANG
 "A VLSI speech analysis chip set based on square-root
 normalized ladder forms"
 ICASSP 1981

P. ADAMS, J. HARBRIDGE, R. MACMILLAN
 "An MOS integrated circuit for digital filtering and
 level detection"
 IEEE Journal of Solid-State Circuits, Vol. SC 16
 No. 3, June 1981

