



## MACHINE MULTIPROCESSEURS APPLIQUÉE AU TRAITEMENT D'IMAGES TEMPS RÉEL

Véronique GUEGAN - Jean Yves LE PUT

Laboratoire de Traitement Numérique  
THOMSON-CSF Division RCM  
Centre Électronique de BREST  
10, Avenue de la 1ère D.F.L.  
29283 BREST CEDEX

RÉSUMÉ

ABSTRACT

Choisir la meilleure architecture multiprocesseurs pour un problème donné impose de prendre en compte plusieurs facteurs tels que les performances, la complexité, l'évolutivité, le coût de la machine.

Le but de cet article est d'exposer les différents critères qui ont permis d'aboutir à la conception complète (matériel + logiciel) d'une machine multiprocesseurs de type SPMD (Single Program Multiple Data) pour un problème de traitement d'images temps réel.

Choosing the best multiprocessors architecture for a defined problem imposes to take into account some factors such as performances, complexity, evolution possibilities and cost of the machine.

In this article, we want to relate how, for a real time image processing problem, we decide to design a complete (hardware + software) multiprocessors machine based on a SPMD (Single Program Multiple Data) model.

### 1. LE BESOIN

Des algorithmes de traitement d'images développés spécifiquement pour corriger la vidéo d'un système de cartographie SAR (Synthetic Aperture Radar) doivent être implantés dans la chaîne de traitement sans impliquer de modification du principe d'exploitation temps réel du système.

La charge de calcul associée à ces algorithmes nécessite la puissance d'une machine multi-processeurs.

L'application se caractérise par les 2 types d'algorithmes suivants :

- traitement de la vidéo SAR : la vidéo est constituée de lignes de 5000 pixels de 32 bits défilant en temps réel sur un moniteur TV
- traitement des paramètres associés à cette vidéo.

Le système impose de respecter le débit temps réel des données, soit 3,5 Moctets/seconde.

Le traitement vidéo constitue la contrainte qui permet de dimensionner la machine sur le cahier des charges suivant :

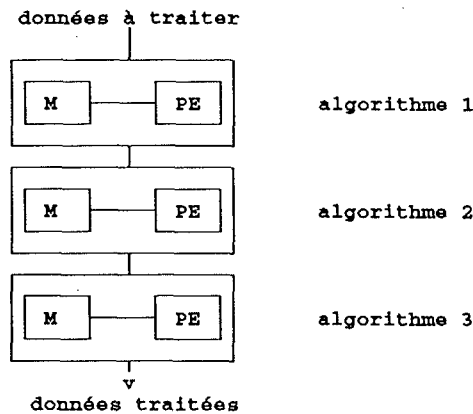
- Traitement appliqué sur tous les pixels de la vidéo défilante, constitué de 3 algorithmes distincts appliqués séquentiellement.
- L'ensemble des algorithmes nécessite une puissance de calcul de 168 MIPS (Million Instructions Par Seconde), et une capacité mémoire minimale de 80 Moctets.

### 2. ABORDER LE PROBLÈME

3 types d'architecture ont été envisagées sur cette application : pipeline des traitements, parallélisme de données avec une mémoire globale, parallélisme de données avec des mémoires locales.

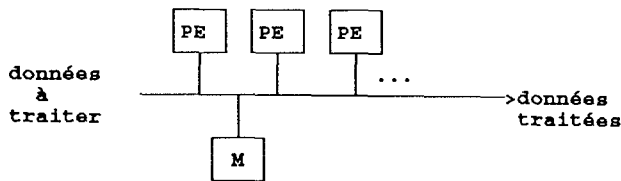


## 2.1 Pipeline :



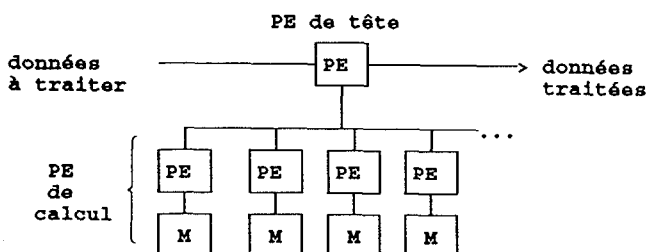
Chaque processeur élémentaire (PE), associé à une mémoire locale (M) effectue son traitement puis transmet les données traitées au PE suivant, etc.. Dès que le traitement en pipeline est amorcé les PE travaillent en parallèle.

## 2.2 Parallélisme de données - mémoire globale



Une ligne vidéo est découpée en tranches égales. Chaque PE traite une tranche. Tous les PE effectuent le même traitement. La capacité mémoire nécessaire à l'application est regroupée en une mémoire globale accessible par tous les PE.

## 2.3 Parallélisme de données - mémoire locale



Chaque ligne vidéo est découpée en tranches égales par le PE de tête qui les transmet ensuite sur les PE de calcul. Chaque PE de calcul dispose d'une mémoire locale nécessaire pour réaliser l'application. Le PE de

tête récupère les données traitées et reconstitue la ligne vidéo. Tous les PE de calcul réalisent le même traitement.

## 3. LE CHOIX D'UNE ARCHITECTURE

Après analyse du cahier des charges il apparaît qu'une architecture de type SPMD (Single Program Multiple Data), ou à parallélisme de données est la mieux adaptée pour traiter notre problème. Le choix d'une mémoire locale associée à chaque processeur permet de simplifier les échanges inter-processeurs. Pour réaliser une machine basée sur cette architecture et disposant des performances nécessaires en puissance de calcul et en capacité mémoire, trois solutions ont été envisagées :

- utilisation de cartes de traitement du commerce
- utilisation d'une machine de traitement existante (architecture matérielle + atelier logiciel)
- conception et développement complet d'une machine

Ces trois solutions ont en commun l'utilisation d'une carte de gestion du commerce pour synchroniser, contrôler et tester la machine via un bus standard VME, ainsi que d'une carte d'interface pour acquérir les données vidéo à traiter, les échanger avec les cartes de traitement et émettre les données traitées vers les fonctions suivantes du système.

La première solution est basée sur l'utilisation de cartes du commerce à base de DSP96002 de Motorola. Chaque processeur dispose d'une mémoire locale permettant de stocker la vidéo de la tranche qu'il traite. Les échanges de données se font sur un bus spécifique reliant directement les bus des processeurs à la carte Interface. Ce bus inter-cartes perturbe les accès de chaque processeur à sa mémoire locale et complexifie la synchronisation de l'architecture.

La seconde solution consiste à utiliser une machine généraliste du commerce de type MIMD (Multiple Instruction Multiple data) disposant d'un environnement de développement et de mise au point. Les cartes de traitement de cette machine sont basées sur l'utilisation du processeur TMS320C30 de Texas Instrument dont les performances sont sensiblement identiques à celles du DSP96002. La

particularité de cette machine est de disposer d'un bus rapide en anneau permettant l'échange de données entre les cartes de traitement. Chaque carte de traitement dispose d'une mémoire locale insuffisante pour notre application. Ceci impose un nombre de cartes important, des échanges supplémentaires sur l'anneau et augmente les difficultés pour maîtriser le séquençement inter-processeurs des données.

Le choix s'est porté pour des raisons de simplicité de développement et de mise au point, mais également pour des raisons de coût sur la troisième solution qui consiste à concevoir et développer complètement une machine multi-processeurs de type SPMD. Les cartes de traitement de cette machine utilisent le DSP96002 de Motorola.

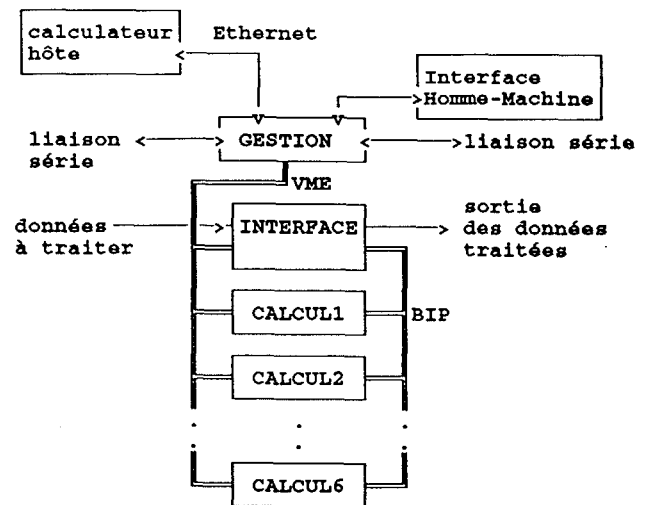
#### 4. LE CHOIX DU PROCESSEUR

Les architectures des processeurs récents de traitement du signal comme le DSP96002 reprennent en général les principes des processeurs RISC (Reduced Instruction Set Computer) au niveau du pipeline de l'Unité Arithmétique et Logique, de l'utilisation de bus différents pour acheminer les données et les instructions (architecture Harvard), de l'intégration dans la puce d'une mémoire cache pour le programme et les données. Les DSP qui sont conçus pour réaliser rapidement des calculs comme les FFT conviennent parfaitement pour traiter tous types d'opérations sur des entiers ou des flottants. Le DSP96002 dispose d'un mécanisme de gestion de boucle de programme intégré dans la puce, ainsi que d'un système de gestion automatique de mémoire circulaire. De plus il possède deux ports externes complets de 32 bits d'adresses et 32 bits de données accessibles dans la même instruction.

Le choix de ce processeur présente les avantages :

- du meilleur compromis performances - facilité d'utilisation,
- d'avoir une architecture parfaitement adaptée à nos algorithmes,
- de disposer d'outils de développement, performants, conviviaux et opérationnels.

#### 5. DESCRIPTION DE LA MACHINE



##### 5.1 3 types de cartes :

. **carte GESTION** : chargée du traitement des paramètres associés à la vidéo. Cette carte du commerce comporte un processeur CISC, des interfaces permettant de se connecter au reste du système (liaisons série, Ethernet ...). Elle est surtout maître du bus VME. Le choix de la carte GESTION dépend du type de l'application, et des interfaces nécessaires.

. **carte INTERFACE** : chargée d'acquérir les données, de les répartir sur les cartes CALCUL, de récupérer les données traitées.

Cette carte dispose d'un processeur DSP96002 et d'une capacité mémoire de 128K mots de 32 bits. Elle est esclave du bus VME.

. **carte CALCUL** : chargée du traitement des données. Chaque carte dispose de 2 processeurs DSP96002 indépendants ayant chacun une mémoire locale de 512K mots de 32 bits de RAM statique et 2M mots de 32 bits de RAM dynamique (capacités extensibles par l'ajout de cartes filles).

Notre application nécessite 6 cartes CALCUL soit 12 DSP96002.



## 5.2 Les bus :

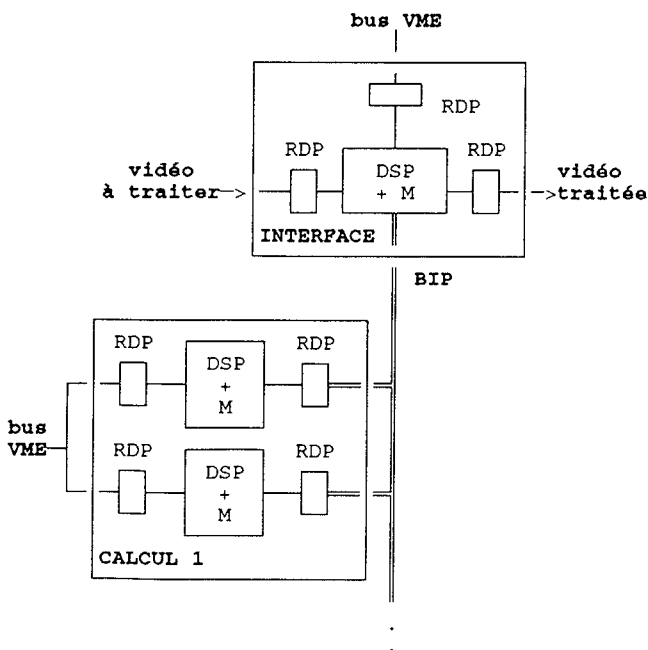
. **bus VME** : véhicule les données liées à l'initialisation, la programmation et le test en ligne de la machine.

. **Le BIP (Bus Inter Processeurs)** : ce bus spécifique, 32 bits de données, permet des échanges rapides entre les cartes INTERFACE et CALCUL (140ns pour 1 accès en 32 bits). La carte INTERFACE est seul maître du BIP. Le BIP est dimensionné pour supporter jusqu'à 13 cartes CALCUL.

Dans ce cas, la puissance maximale de la machine serait de 1 GFLOPS et 350 MIPS, la capacité mémoire serait de 13 Mmots de 32 bits de RAM statique et 52 Mmots de 32 bits de RAM dynamique.

## 5.3 Les échanges inter-processeurs

Tous les échanges de données ou de contrôles entre les processeurs via le bus VME et le BIP sont réalisés par l'intermédiaire de RAM double ports (RDP). Cette méthode permet de simplifier la conception et la mise au point matérielle et logicielle de la machine. Elle permet également de synchroniser simplement les processeurs grâce au mécanisme d'interruption des RDP.



## 5.4 L'Interface Homme Machine :

L'opérateur dispose d'une Interface Homme Machine qui lui permet de dialoguer via la carte GESTION avec tous les processeurs de la machine (modification des algorithmes de traitement, modification de la répartition des données sur les processeurs, rajout de marqueurs dans la vidéo, transferts d'images avec un calculateur hôte, visualisation des taux de charges des processeurs et de statistiques sur les algorithmes, visualisation des tests intégrés, visualisation des échanges sur les liaisons série ...)

## 6. ÉVOLUTIVITÉ

Cette machine baptisée PATSI (Processeur appliqué au Traitement du Signal et des Images) est particulièrement adaptée au parallélisme de données.

Elle a également été utilisée dans une architecture pipeline pour réaliser une chaîne de traitement pour un radar météo. Les échanges entre les processeurs CALCUL doivent alors obligatoirement passer par le processeur INTERFACE, mais la rapidité des échanges sur le BIP autorise dans la plupart des applications ce séquençement.

Actuellement des études sont envisagées pour permettre des échanges directs entre les 2 DSP d'une carte CALCUL, et pour interfacer la machine à un logiciel de traitement d'images tel que KHOROS offrant ainsi à l'utilisateur une ergonomie de programmation lui permettant d'implémenter très rapidement des fonctions de traitement d'images sur une machine multi-processeurs.