

RÉALISATION D'UNE CARTE DE TRANSFORMÉE DE FOURIER BIDIMENSIONNELLE POUR DES IMAGES NOIR ET BLANC

Richard GRISEL* Gay TALL**

* LETIA-ICPI Service Electronique 31, place BELLECOUR 69288 LYON CEDEX 02

** LA3I-LCIA INSA de ROUEN 76130 MONT SAINT AIGNAN

RESUME

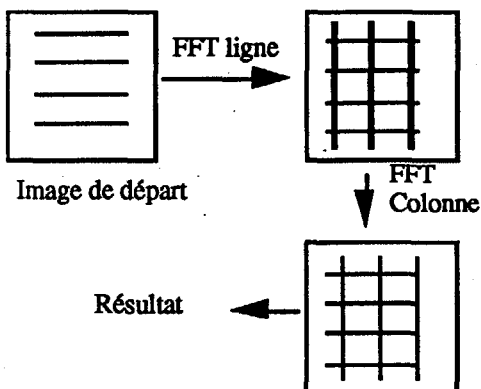
La transformée de Fourier est un outil largement utilisé et fait l'objet de nombreuses applications ainsi que de recherches sur des algorithmes de calcul.

Son utilisation en tant qu'opérateur bidimensionnel au niveau de l'analyse d'images commence à être possible avec des temps de calcul raisonnables grâce aux processeurs spécialisés, ADSP 2100 ou DSP 56000 par exemple.

Dans le but d'étendre cette évolution vers le calcul temps réel, nous proposons dans cet article la réalisation d'une carte permettant de faire la transformée directe en "temps réel" ainsi que la transformée inverse et le filtrage par multiplication d'images transformées. La carte est une carte VME intégrée dans un système IMAGING.

I INTRODUCTION

Le calcul de la transformée de Fourier discrète sur des images en niveaux de gris nécessite plusieurs millions de multiplications et d'additions réelles; son expression correspond à une intégrale double identique à l'expression mono-dimensionnelle pour laquelle on va effectuer une transformée sur les lignes de l'image suivie d'une transformée sur les colonnes, ce qui correspond au schéma suivant :



L'intérêt de la transformée de Fourier au niveau

ABSTRACT

The Fourier Transform is a powerful used tool and there are a lot of applications and researches based on the algorithms allowing its implementation.

The way of using the Fourier Transform as a bidimensional operator for image analysis appears to become possible with the use of specialized processors, ADSP 2100 or DSP 56000 by example.

In the aim of going on this kind of evolution with "real time" operators, we propose in this paper to discuss of a board designed to implement direct and inverse transform in "real time" as well as filtering using transformed images multiplication.

The board is a VME board based on IMAGING 150/151 series.

de l'analyse d'image est le même que pour les applications mono-dimensionnelles, c'est-à-dire l'apparition de caractéristiques non visibles dans le domaine temporel. Les principales applications sont les suivantes [1] [2] [3]:

- Classification de formes
- Analyse de textures
- Restauration, réhaussement et reconstruction
- Compression
- Correction d'éclaircissement.

Nous proposons une architecture à base de DSP permettant le calcul en "temps réel" (image par image) de la "Fast Fourier transform" d'une image 512x512. L'architecture retenue permet d'autre part de réaliser les opérations de filtrage par multiplication d'images transformées ainsi que la FFT inverse (non temps réel).

II CHOIX DU TYPE D'ARCHITECTURE

Parmi tous les processeurs de FFT disponibles sur le marché, aucun n'est capable de traiter seul le flot de données provenant d'un bus vidéo.

Les DSP spécialisés dans le calcul de FFT sont conçus pour effectuer des calculs sur la base d'un



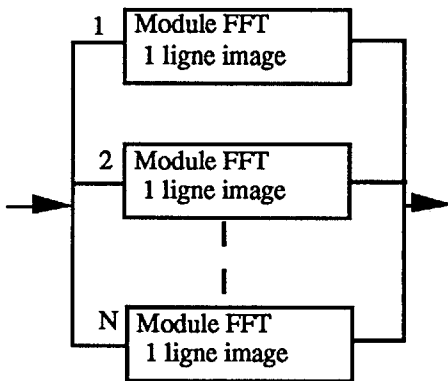
papillon [4] et ils ont besoin d'un ensemble de circuits pour gérer ce papillon de base. En effet il faut de la mémoire pour stocker les résultats intermédiaires et finaux, une logique pour adresser les données contenues dans ces mémoires, de la ROM ou RAM pour stocker les coefficients complexes de l'algorithme de FFT (twiddle factors) ainsi que d'éventuels coefficients de fenêtrage [5]

Cette circuiterie est plus ou moins intégrée dans le boîtier du DSP, mais il faut généralement ajouter des composants externes pour assurer le bon fonctionnement de l'ensemble.

Ainsi les limites dues aux composants nous obligent à élaborer une architecture utilisant plusieurs DSP à la fois pour augmenter la vitesse de calcul. Deux possibilités se présentent alors : soit constituer des modules de type "single processor", montés en parallèle, soit élaborer une structure de type "pipe" dont chacun des DSP calcule une étape de l'algorithme de Cooley-Tuckey [6].

Architecture de type parallèle

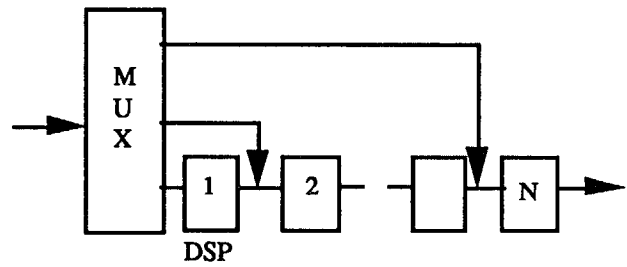
Un DSP utilisé en "single processor" permet de faire des FFT sur 1 ligne entière de l'image, le format de la ligne étant fixé par programmation. La cadence vidéo impose de disposer plusieurs modules de DSP en parallèle et de distribuer consécutivement les lignes de l'image sur chacun des étages. Si on utilise N étages, on multiplie par N la vitesse de calcul de la carte. Si une ligne arrive toutes les X microsecondes et si un module de DSP a besoin de Y microsecondes pour traiter une ligne, alors le nombre d'étages nécessaires devra être supérieur ou égal à (Y/X) .



Il faudra de plus utiliser 2 ensembles de modules DSP qui traiteront les FFT horizontale et verticale.

Architecture de type "pipe"

On utilise dans ce cas plusieurs processeurs montés en série (pipeline). Chaque processeur est dédié à une étape de calcul, le nombre de processeurs dépendant de la taille de la ligne (5 étapes pour une ligne de 32 points avec un algorithme de calcul en radix-2) [4]. Avec N DSP on pourra traiter des lignes de longueur max 2^N . Pour les lignes de taille inférieure à la taille maximum il faudra introduire un multiplexeur.

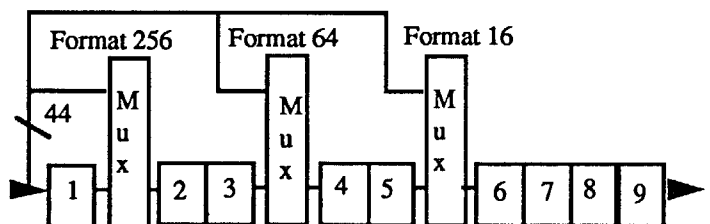


Choix des DSP

Les critères qui ont amené au choix des DSP utilisés ont concerné d'une part le format de calcul pour la précision des résultats et la détection de croissance de bit [7] [8], très important dans la mesure où l'on opère deux passages pour le calcul des lignes et des colonnes et par exemple une FFT 512 points en "radix-2" peut entraîner un grossissement de 9 bits pour chaque passage; d'autre part le type d'architecture possible et ses performances par rapport au calcul d'une FFT image en temps réel, 64 microsecondes par ligne.

Les études préliminaires ont porté sur les DSP TMC2310 de TRW, PDSP 16510 de PLESSEY, L64280 de LSI-Logic. Des simulations ont été réalisées pour évaluer les problèmes de précision (FFT et FFT inverse puis calcul d'erreur), il est apparu que seul le LSI permettait une bonne précision quant au calcul d'une FFT bidimensionnelle. Il a donc été retenu pour la réalisation de la carte.

En ce qui concerne le choix de l'architecture, le mode "pipe" a été préféré dans la mesure où il nécessite moins de logique et de circuits externes que la solution "single processor" en parallèle, c'est aussi une solution plus élégante et plus facile à mettre en oeuvre du point de vue du séquençage interne. Le coeur de la carte est donc constitué par un "pipeline" de circuits LSI organisés de la manière suivante :



Les chiffres indiquent les étages de processeurs, ils sont constitués d'un ensemble registre à décalage (L64281) processeur (L64280) pour les étages 1 à 7, d'un processeur simple pour les étages 8 et 9 pour lesquels la reconstruction des données d'entrée pour les papillons est effectuée à l'intérieur des processeurs. Les temps de calcul du pipeline sont les suivants pour une horloge de base de 40 MHz :

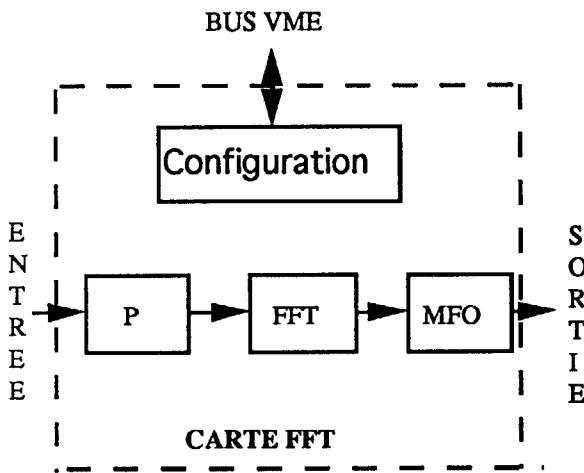
- 29,675 microsecondes pour 512 points
- 16,275 " pour 256 points
- 5,675 " pour 64 points
- 2,275 " pour 16 points.

L'architecture sera organisée de manière à traiter 2 calculs de FFT pendant 64 microsecondes.

III DESCRIPTION GENERALE DE LA CARTE

Le système vidéo retenu pour la conception est un système Imaging technology 150/151, format VME,, la carte est donc une carte au format VME fonctionnant comme carte périphérique du système Imaging à partir duquel elle récupère toutes les informations liées à la vidéo et auquel elle fournit le résultat des calculs, mais elle est conçue de façon à pouvoir fonctionner comme carte accélératrice dans n'importe quel système VME.

Le synoptique général de la carte est donné sur la figure suivante :



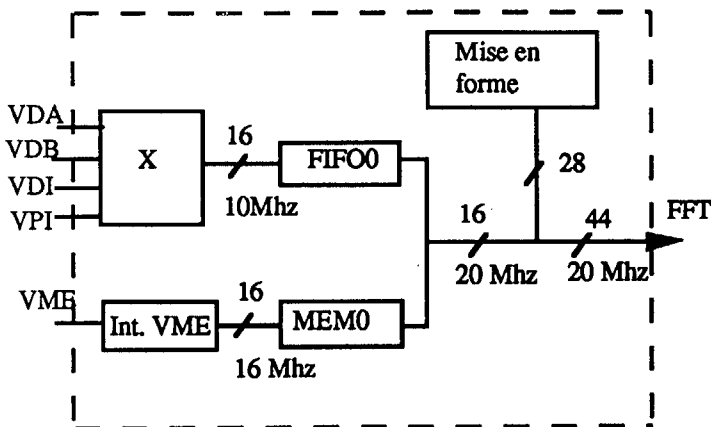
La carte est constituée de 4 blocs principaux :

- le bloc pré-traitement (P) se charge de fournir les données d'entrée au niveau du bloc FFT constitué principalement par le pipeline décrit précédemment.
- le bloc de mise en forme (MFO) se charge de la présentation des résultats du calcul effectué.
- le bloc de configuration gère l'interface VME ainsi que le séquençement du fonctionnement de la carte.

Nous allons faire une description des différents blocs.

BLOC DE PRETRAITEMENT

Le synoptique du bloc est le suivant :

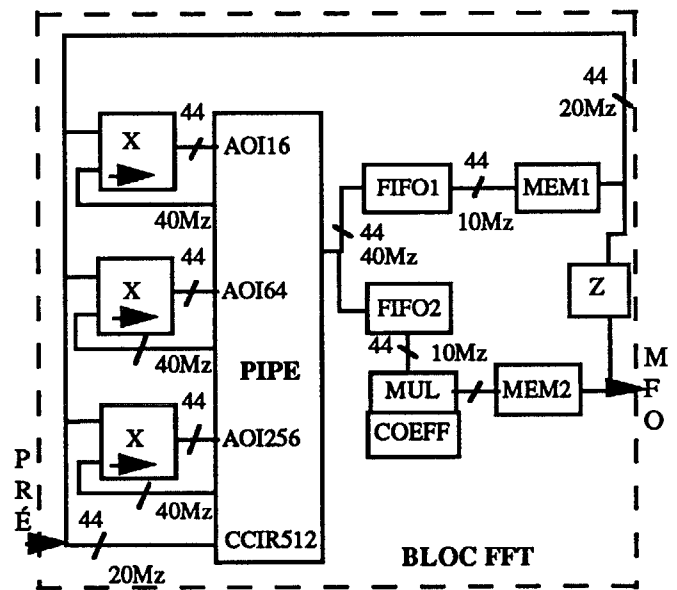


Les signaux d'entrée proviennent du bus vidéo du système Imaging (VDA, VDB, VDI, VPI) à une cadence de 10Mhz pour chaque pixel ou du bus VME; dans ce cas ils sont écrits par le système hôte dans une mémoire (MEM0) et le fonctionnement n'est pas alors temps réel. La FIFO0 accélère les données à la cadence de 20 Mhz (où la lecture de MEM0 se fait par les SAM à 20 Mhz) et ces données sont ensuite formatées pour entrer dans le bloc FFT avec le format 44 bits (exposant, partie réelle et imaginaire) des processeurs LSI-Logic.

Le "crossbar" de choix d'entrée en cadence temps réel est réalisé par un FPGA Xilinx.

BLOC FFT

Le bloc FFT contient un certain nombre de sous-ensembles, son synoptique est donné sur la figure suivante :



Le PIPE correspond à la mise en série des processeurs de FFT. Les données arrivent du bloc de pré-traitement à la cadence de 20Mhz, les formats d'entrée correspondent au mode CCIR 512x512, les modes Area Of Interest (AOI 256, 64 et 16) répondent aux spécifications du bus Imaging 151.

Les données circulent à 40 Mhz dans le "pipe", chaque "crossbar" (X) de multiplexage en fonction du format choisi est conçu avec des FPGA Xilinx 3195-3. Les FIFO (1 et 2) ralentissent les données de sortie de manière à les fournir à 10 Mhz aux mémoires MEM1 et MEM2. MEM1 reçoit le résultat des FFT lignes, MEM2 celui des FFT colonnes: MEM2 contient donc le résultat de la FFT bidimensionnelle.

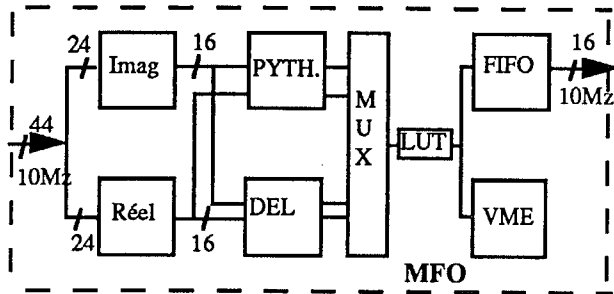
Le bloc MUL+COEFF correspond à un processeur LSI monté en multiplieur associé à une mémoire de 512x512 coefficients, ce bloc est mis en "bypass" ou utilisé pour faire le filtrage par multiplication point à point de l'image transformée et d'une image FFT mise dans la mémoire de coefficients, le filtrage étant suivi d'une FFT inverse.



Le bloc Z correspond à des "tri-state" permettant de faire circuler le contenu de MEM2 pour la FFT inverse.

BLOC DE MISE EN FORME

Le synoptique du bloc de mise en forme est le suivant :



La sortie du "pipe" correspond à un format 44 bits (4 bit d'exposant, 20 bits de partie réelle, 20 bits de partie imaginaire), les blocs Imag et Réel sont constitués d'un "barrel shifter" et d'un comparateur pour normaliser les données au format 16 bits en complément à 2. Le bloc PYTH (PDSP 16330 Plessey) permet de passer des coordonnées cartésiennes en coordonnées polaires, le bloc DEL est un "bypass" avec le même délai que le Pythagorien pour le cas où l'on reste en coordonnées cartésiennes; le MUX sélectionne le signal de sortie qui passe par une LUT de transcodage, la FIFO resynchronise les données pour le bus Imaging.

Le bloc VME correspond à un aiguillage des sorties par la chaîne de mise en forme mais avec lecture par le bus VME.

IV FONCTIONNEMENT GENERAL ET SEQUENCEMENT

La programmation de la carte se fait à partir du bus VME. Notons que pour les systèmes Imaging connectés à un PC celle-ci se fait par l'intermédiaire d'un répéteur de bus PC->VME.

Elle est gérée par l'intermédiaire de différents registres de contrôle qui vont spécifier le mode de fonctionnement de la carte (CCIR, AOI, filtrage, choix du format de sortie etc.). Une fois la programmation effectuée, l'utilisateur active le bit de START et le séquencement des signaux est géré par la logique interne de la carte. Du fait de la complexité de cette logique et compte tenu des contraintes liées au fonctionnement purement séquentiel de la carte, la logique de commande a été regroupée dans 3 circuits FPGA Xilinx organisés de la manière suivante :

Xilinx_1 : Contrôleur

- Décodage d'adresse, génération DTACK VME
- Registres de programmation (bus, format, calcul)
- Programmation des processeurs, du multiplieur
- Commande du multiplexeur d'entrée

Xilinx_2 : Séquenceur

- Commande de FIFO0, de MEM0
- Commande d'entrée et de buffers du "pipe"

- Commande de MEMCOEFF, rafraîchissement
- Xilinx_3 : Séquenceur**
- Commande de MEM1 et MEM2
- Gestion des adresses et des rafraîchissements

La méthodologie de conception utilisée pour les FPGA a été basée principalement sur l'utilisation de machines d'état écrites en langage VHDL puis synthétisées sur les bibliothèques de synthèse de la série 3000-3100 Xilinx.

Chaque bloc fonctionnel a été validé en simulation logique, un modèle VHDL simplifié du "pipe" a d'ailleurs été écrit pour vérifier le bon fonctionnement de la logique de contrôle autour de MEM1 et MEM2.

V CONCLUSION

La simulation fonctionnelle de la carte est terminée, l'implantation donne 2 cartes VME rallongées dont l'une contient le "pipe" à 40 Mhz.

Cette étude a fait l'objet d'une aide de l'ANVAR dans le cadre d'un dossier d'aide à l'innovation.

BIBLIOGRAPHIE

- [1] M. GIBERT : *Transformation de Fourier bidimensionnelle- Application: restauration d'images*. Thèse de troisième cycle, Université de Clermont II, septembre 1985.
- [2] PERSON & KING-SUN FU : *Shape discrimination using Fourier Descriptors*. IEEE systems, man. and cybernetics, SMC-7, n°3, mars 1977.
- [3] F. GOURD, J.P. GAUTHIER, H. YOUNES, *Une méthode d'invariants de l'analyse harmonique en reconnaissance de formes*. Traitement du signal, vol. 6, n°3, 1989.
- [4] G. TALL, R. GRISEL, *Mise en oeuvre d'un nouvel algorithme de FFT sur processeur spécialisé*. XIIIème colloque GRETSI, Juan-les-Pins, 1991.
- [5] B. GOLD & T. BIALLY : *Parallelism in Fast Fourier Transform*. IEEE trans. on computers, c19, Nov. 1970.
- [6] J.W. COOLEY & J.W. TUKEY: *An Algorithm for the machine calculation of complex Fourier series*. Math. Comp. , vol. 19, April 1965, pp. 297-301.
- [7] TRAN-THONG & B. LIU : *Fixed point FFT error analysis*. IEEE Trans. ASSP, vol. 24, n°6, Dec. 1976.
- [8] A. V. OPPENHEIM & C.J. WEINSTEIN : *Effects of finite register length in digital filtering and Fast Fourier Transform*. Proc IEEE(Invited paper), 60, 1972, pp. 957-976.